

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 8 日
Date of Application:

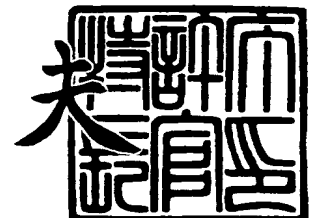
出 願 番 号 特 願 2 0 0 3 - 1 3 0 7 9 3
Application Number:
[ST. 10/C]: [J . P 2 0 0 3 - 1 3 0 7 9 3]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 5 4 7

【書類名】 特許願

【整理番号】 0290855408

【提出日】 平成15年 5月 8日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H04N 7/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号ソニー株式会社内

【氏名】 高木 聡

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100082740

【弁理士】

【氏名又は名称】 田辺 恵基

【手数料の表示】

【予納台帳番号】 048253

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709125

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 符号化装置及び方法、復号化装置及び方法並びに画像情報処理システム及び方法

【特許請求の範囲】

【請求項 1】

入力する画像情報を符号化する符号化装置において、
上記画像情報に対して所定の符号化処理を施す符号化手段と、
上記符号化手段が上記画像情報に対して上記符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段と
を具え、
上記符号化手段は、
上記第 1 の記憶手段に記憶された上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻すことを特徴とする符号化装置。

【請求項 2】

入力する上記画像情報を記憶する第 2 の記憶手段と、
上記符号化手段に設けられ、上記第 1 の記憶手段から読み出した上記状態量情報を一時記憶する第 1 の一時記憶手段と、
上記符号化手段に設けられ、上記第 2 の記憶手段から読み出した上記画像情報を一時記憶する第 2 の一時記憶手段と
を具え、
上記符号化手段は、
上記第 2 の記憶手段から上記画像情報の一部を読み出して上記第 2 の一時記憶手段に一時記憶させると共に、これと同期して当該画像情報に対して上記符号化処理を施す際に必要な上記状態量情報の一部を上記第 1 の記憶手段から読み出して上記第 1 の一時記憶手段に一時記憶させ、当該状態量情報を、上記第 2 の一時記憶手段に一時記憶させた上記画像情報に対する上記符号化処理の上記処理状況

に応じて変更した後、上記第 1 の記憶手段に書き戻す
ことを特徴とする請求項 1 に記載の符号化装置。

【請求項 3】

上記第 1 の記憶手段は、

上記符号化手段が上記画像情報に対して上記符号化処理を施す際に必要な複数
種類の上記状態量情報を記憶し、

上記符号化手段は、

上記第 2 の一時記憶手段に一時記憶させた上記画像情報に対して上記符号化処
理を施す際に必要な上記状態量情報の一部を、必要な上記種類ごとにそれぞれ上
記第 1 の記憶手段から読み出して上記第 1 の一時記憶手段に一時記憶させ、当該
各種類の状態量情報を、それぞれ上記第 2 の一時記憶手段に一時記憶させた上記
画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第 1
の記憶手段に書き戻す

ことを特徴とする請求項 2 に記載の符号化装置。

【請求項 4】

上記符号化手段は、

上記画像情報に対して、所定の複数画素を単位として上記符号化処理を施す
ことを特徴とする請求項 1 に記載の符号化装置。

【請求項 5】

上記符号化手段は、

上記画像情報に対して順番に施すべき複数種類の上記符号化処理にそれぞれ対
応させて設けられた複数の符号化処理手段を具え、

上記画像情報に対する上記複数種類の符号化処理を、それぞれ対応する上記符
号化処理手段により、それぞれ先行する上記符号化処理と当該符号化処理の内容
に応じた所定の第 1 の位相差をもって並行して行う

ことを特徴とする請求項 1 に記載の符号化装置。

【請求項 6】

各上記種類の上記符号化処理に対して対応する上記符号化処理手段がそれぞれ
上記画像情報の所定単位ごとに設けられ、各上記種類の上記符号化処理ごとに、

当該画像情報の所定単位ごとの上記符号化処理手段がそれぞれ所定の第2の位相差をもって並行して行う

ことを特徴とする請求項5に記載の符号化装置。

【請求項7】

上記符号化手段及び上記第1の記憶手段は、一体に集積回路化され、
当該集積回路化された上記符号化手段及び上記第1の記憶手段の外部に設けられた外部記憶手段を具え、

上記符号化手段及び上記第1の記憶手段と共に一体に上記集積回路化された信号処理部から出力された上記画像情報を上記外部記憶手段に記憶させ、必要な上記画像情報のみを当該外部記憶手段から順次読み出して、上記符号化手段により上記符号化処理する

ことを特徴とする請求項1に記載の符号化装置。

【請求項8】

入力する画像情報を符号化する符号化方法において、

上記画像情報に対して所定の符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第1の記憶手段に記憶させる第1のステップと、

上記画像情報に対して上記符号化処理を施す第2のステップと
を具え、

上記第2のステップでは、

上記第1の記憶手段に記憶させた上記状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第1の記憶手段に書き戻す

ことを特徴とする符号化方法。

【請求項9】

上記第1のステップでは、

入力する上記画像情報を第2の記憶手段に記憶させ、

上記第2のステップでは、

上記第2の記憶手段から上記画像情報の一部を読み出して所定の第2の一時記

憶手段に一時記憶させると共に、これと同期して当該画像情報に対して上記符号化処理を施す際に必要な上記状態量情報の一部を上記第1の記憶手段から読み出して所定の第1の一時記憶手段に一時記憶させ、当該状態量情報を、上記第2の一時記憶手段に一時記憶させた上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第1の記憶手段に書き戻す

ことを特徴とする請求項8に記載の符号化方法。

【請求項10】

上記第1のステップでは、

上記画像情報に対して上記符号化処理を施す際に必要な複数種類の上記状態量情報を上記第1の記憶手段に記憶させ、

上記第2のステップでは、

上記第2の一時記憶手段に一時記憶させた上記画像情報に対して上記符号化処理を施す際に必要な上記状態量情報の一部を、必要な上記種類ごとにそれぞれ上記第1の記憶手段から読み出して上記第1の一時記憶手段に一時記憶させ、当該各種類の状態量情報を、それぞれ上記第2の一時記憶手段に一時記憶させた上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第1の記憶手段に書き戻す

ことを特徴とする請求項9に記載の符号化方法。

【請求項11】

上記第2のステップでは、

上記画像情報に対して、所定の複数画素を単位として上記符号化処理を施す

ことを特徴とする請求項8に記載の符号化方法。

【請求項12】

上記第2のステップでは、

上記画像情報に対して順番に施すべき複数種類の上記符号化処理を、それぞれ先行する上記符号化処理と当該符号化処理の処理内容に応じた所定の第1の位相差をもって並行して行う

ことを特徴とする請求項8に記載の符号化方法。

【請求項13】

上記第 2 のステップでは、

上記種類ごとの上記符号化処理を、上記画像情報の所定単位ごとに、所定の第 2 の位相差をもって並行して行う

ことを特徴とする請求項 12 に記載の符号化方法。

【請求項 14】

入力する画像情報に対して複数種類の所定の符号化処理を順番に施す符号化装置において、

各上記種類の符号化処理にそれぞれ対応させて設けられた複数の符号化処理手段

を具え、

上記画像情報に対する上記複数種類の符号化処理を、それぞれ対応する上記符号化処理手段により、それぞれ先行する上記符号化処理と当該符号化処理の内容に応じた所定の第 1 の位相差をもって並行して行う

ことを特徴とする符号化装置。

【請求項 15】

各上記種類の上記符号化処理に対して対応する上記符号化処理手段がそれぞれ上記画像情報の所定単位ごとに設けられ、各上記種類の上記符号化処理ごとに、当該画像情報の所定単位ごとの上記符号化処理手段がそれぞれ所定の第 2 の位相差をもって並行して行う

ことを特徴とする請求項 14 に記載の符号化装置。

【請求項 16】

各上記符号化処理手段が上記画像情報に対して対応する上記符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段を具え、

各上記符号化処理手段は、

上記第 1 の記憶手段に記憶された上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする請求項 14 に記載の符号化装置。

【請求項 17】

入力する上記画像情報を記憶する第2の記憶手段と、
各上記符号化処理手段にそれぞれ設けられ、上記第1の記憶手段から読み出した上記状態量情報を一時記憶する第1の一時記憶手段と、
各上記符号化処理手段にそれぞれ設けられ、上記第2の記憶手段から読み出した上記画像情報を一時記憶する第2の一時記憶手段と
を具え、
各上記符号化処理手段は、
上記第2の記憶手段から一部の上記画像情報を読み出して上記第2の一時記憶手段に一時記憶させると共に、これと同期して当該画像情報に対して上記符号化処理を施す際に必要な上記状態量情報の一部を上記第1の記憶手段から読み出して上記第1の一時記憶手段に一時記憶させ、当該状態量情報を、上記第2の一時記憶手段に一時記憶させた上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第1の記憶手段に書き戻す
ことを特徴とする請求項16に記載の符号化装置。

【請求項 18】

上記第1の記憶手段は、
上記符号化手段が上記画像情報に対して上記符号化処理を施す際に必要な複数種類の上記状態量情報を記憶し、
各上記符号化処理手段は、
上記第2の一時記憶手段に一時記憶させた上記画像情報に対して上記符号化処理を施す際に必要な上記状態量情報の一部を、必要な上記種類ごとにそれぞれ上記第1の記憶手段から読み出して上記第1の一時記憶手段に一時記憶させ、当該各種類の状態量情報を、それぞれ上記第2の一時記憶手段に一時記憶させた上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第1の記憶手段に書き戻す
ことを特徴とする請求項17に記載の符号化装置。

【請求項 19】

各上記符号化処理手段は、

上記画像情報に対して、所定の複数画素を単位として対応する上記符号化処理を施す

ことを特徴とする請求項 14 に記載の符号化装置。

【請求項 20】

各上記符号化処理手段は、一体に集積回路化され、

当該集積回路化された各上記符号化処理手段の外部に設けられた外部記憶手段を具え、

各上記符号化処理手段と共に一体に上記集積回路化された信号処理部から出力された上記画像情報を上記外部記憶手段に記憶させ、必要な上記画像情報のみを当該外部記憶手段から順次読み出して、上記符号化手段により上記符号化処理する

ことを特徴とする請求項 14 に記載の符号化装置。

【請求項 21】

入力する画像情報に対して複数種類の所定の符号化処理を順番に施す符号化方法において、

上記画像情報に対する上記複数種類の符号化処理を、それぞれ先行する上記符号化処理と当該符号化処理の内容に応じた所定の第 1 の位相差をもって並行して行う符号化ステップ

を具えることを特徴とする符号化方法。

【請求項 22】

上記符号化ステップでは、

各上記種類の上記符号化処理を、上記画像情報の所定単位ごとに、それぞれ所定の第 2 の位相差をもって並行して行う

ことを特徴とする請求項 21 に記載の符号化方法。

【請求項 23】

上記符号化ステップは、

上記画像情報に対して各上記符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第 1 の記憶手段に記憶させる第 1 のステップと、

上記第 1 の記憶手段に記憶させた上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す第 2 のステップと

を具えることを特徴とする請求項 2 1 に記載の符号化方法。

【請求項 2 4】

上記第 1 のステップでは、

入力する上記画像情報を第 2 の記憶手段に記憶させ、

上記第 2 のステップでは、

上記第 2 の記憶手段から上記画像情報の一部を読み出して所定の第 2 の一時記憶手段に一時記憶させると共に、これと同期して当該画像情報に対して上記符号化処理を施す際に必要な上記状態量情報の一部を上記第 1 の記憶手段から読み出して所定の第 1 の一時記憶手段に一時記憶させ、当該状態量情報を、上記第 2 の一時記憶手段に記憶させた上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする請求項 2 3 に記載の符号化方法。

【請求項 2 5】

各上記符号化処理を、それぞれ所定の複数画素を単位として上記画像情報に施す

ことを特徴とする請求項 2 1 に記載の符号化方法。

【請求項 2 6】

入力する符号化された画像情報でなる符号化画像情報を復号化する復号化装置において、

上記符号化画像情報に対して所定の復号化処理を施す復号化手段と、

上記復号化手段が上記符号化画像情報に対して上記復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段と

を具え、

上記復号化手段は、

上記第 1 の記憶手段に記憶された上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記符号化画像情報に対する上記復号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする復号化装置。

【請求項 27】

復号化された上記画像情報を記憶する第 2 の記憶手段を具え、

上記復号化手段は、

上記第 1 の記憶手段から読み出した上記状態量情報を一時記憶する第 1 の一時記憶手段と、

復号化した上記画像情報を一時記憶する第 2 の一時記憶手段と

を有し、

上記符号化画像情報に対して上記復号化処理を施す際に必要な上記状態量情報の一部を上記第 1 の記憶手段から読み出して上記第 1 の一時記憶手段に一時記憶させ、当該状態量情報を、上記符号化画像情報に対する上記復号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻すと共に、当該復号化処理により復号化された上記第 2 の一時記憶手段に記憶された上記画像情報を、上記状態量情報の上記第 1 の記憶手段への書き戻しと同期して上記第 2 の記憶手段に書き込む

ことを特徴とする請求項 26 に記載の復号化装置。

【請求項 28】

上記第 1 の記憶手段は、

上記復号化手段が上記符号化画像情報に対して上記復号化処理を施す際に必要な複数種類の上記状態量情報を記憶し、

上記復号化手段は、

上記復号化対象の上記符号化画像情報に対して上記復号化処理を施す際に必要な上記状態量情報の一部を、必要な上記種類ごとにそれぞれ上記第 1 の記憶手段から読み出して上記第 1 の一時記憶手段に一時記憶させ、当該各種類の状態量情報を、上記符号化画像情報に対する上記復号化処理の上記処理状況に応じて変更

した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする請求項 2 7 に記載の復号化装置。

【請求項 2 9】

上記復号化手段は、

上記符号化画像情報に対して、所定の複数画素を単位として上記復号化処理を
施す

ことを特徴とする請求項 2 6 に記載の復号化装置。

【請求項 3 0】

入力する符号化された画像情報でなる符号化画像情報を復号化する復号化方法
において、

上記符号化画像情報に対して上記復号化処理を施す際に当該復号化処理の処理
状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する
第 1 のステップと、

上記符号化画像情報に対して所定の復号化処理を施す第 2 のステップと
を具え、

上記第 2 のステップでは、

上記第 1 の記憶手段に記憶させた上記状態量情報のうちの必要な一部のみを当
該第 1 の記憶手段から読み出し、当該状態量情報を上記符号化画像情報に対する
上記復号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き
戻す

ことを特徴とする復号化方法。

【請求項 3 1】

上記第 2 のステップでは、

上記符号化画像情報に対して上記復号化処理を施す際に必要な上記状態量情報
の一部を上記第 1 の記憶手段から読み出して上記第 1 の一時記憶手段に一時記憶
させ、当該状態量情報を、上記符号化画像情報に対する上記復号化処理の上記処
理状況に応じて変更した後、上記第 1 の記憶手段に書き戻すと共に、当該復号化
処理により復号化された上記第 2 の一時記憶手段に一時記憶された上記画像情報
を、上記状態量情報の上記第 1 の記憶手段への書き戻しと同期して、所定の第 2

の記憶手段に書き込む

ことを特徴とする請求項 3 0 に記載の復号化方法。

【請求項 3 2】

上記第 1 のステップでは、

上記符号化画像情報に対して上記復号化処理を施す際に必要な複数種類の上記状態量情報を上記第 1 の記憶手段に記憶させ、

上記第 2 のステップでは、

上記復号化対象の上記符号化画像情報に対して上記復号化処理を施す際に必要な上記状態量情報の一部を、必要な上記種類ごとにそれぞれ上記第 1 の記憶手段から読み出して上記第 1 の一時記憶手段に一時記憶させ、当該各種類の状態量情報を、上記符号化画像情報に対する上記復号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする請求項 3 1 に記載の復号化方法。

【請求項 3 3】

上記第 2 のステップでは、

上記符号化画像情報に対して、所定の複数画素を単位として上記復号化処理を施す

ことを特徴とする請求項 3 0 に記載の復号化方法。

【請求項 3 4】

画像情報を符号化する符号化装置と、当該符号化された上記画像情報を復号化する復号化装置とを有する画像情報処理システムにおいて、

上記符号化装置は、

上記画像情報に対して所定の符号化処理を施す符号化手段と、

上記符号化手段が上記画像情報に対して上記符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段と

を具え、上記符号化手段は、上記第 1 の記憶手段に記憶された上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記

第 1 の記憶手段に書き戻し、

上記復号化装置は、

上記符号化画像情報に対して所定の復号化処理を施す復号化手段と、

上記復号化手段が上記符号化画像情報に対して上記復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段と

を具備、上記復号化手段は、上記第 1 の記憶手段に記憶された上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記符号化画像情報に対する上記復号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする画像情報処理システム。

【請求項 35】

画像情報を符号化する符号化ステップと、当該符号化された上記画像情報を復号化する復号化ステップとを有する画像情報処理方法において、

上記符号化ステップは、

上記画像情報に対して所定の符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第 1 の記憶手段に記憶させる第 1 のステップと、

上記画像情報に対して上記符号化処理を施す第 2 のステップと

を具備、上記第 2 のステップでは、上記第 1 の記憶手段に記憶させた上記状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記画像情報に対する上記符号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻し、

上記復号化ステップは、

上記符号化画像情報に対して上記復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 のステップと、

上記符号化画像情報に対して所定の復号化処理を施す第 2 のステップと

を具備、上記第 2 のステップでは、上記第 1 の記憶手段に記憶させた上記状態

量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を上記符号化画像情報に対する上記復号化処理の上記処理状況に応じて変更した後、上記第 1 の記憶手段に書き戻す

ことを特徴とする画像情報処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、符号化装置及び方法、復号化装置及び方法並びに画像情報処理システム及び方法に関し、例えば J P E G (Joint Photographic Experts Group) 2 0 0 0 規格に準拠した符号化装置及び復号化装置並びにこれら符号化装置及び復号化装置から構成される画像情報処理システムに適用して好適なものである。

【0 0 0 2】

【従来の技術】

近年、新しいデータ圧縮方式として、J P E G 2 0 0 0 規格と呼ばれる圧縮方式が規格化されている。

【0 0 0 3】

図 3 8 は、かかる J P E G 2 0 0 0 規格に準拠した符号化装置 1 の構成を示すものであり、供給される画像データ D 1 に対して入力画像処理部 2 において D C レベルシフト処理及び色変換処理等の所定の入力画像処理を施した後、得られた信号処理画像データ D 2 を D W T (Discrete Wavelet Transform) 部 3 に送出する。

【0 0 0 4】

D W T 部 3 は、供給される信号処理画像データ D 2 に対してウェーブレット変換処理を施す。具体的には、図 3 9 に示すように、信号処理画像データ D 2 を低域周波数通過型及び高域周波数通過型の 2 分割フィルタを通すことにより、当該信号処理画像データ D 2 に基づく画像を例えばこの図 3 9 のように水平方向と垂直方向とに帯域 (サブバンド) 分割する。

【0 0 0 5】

なおこの図 3 9 は、分割数が 3 レベルのものを示したものであり、図中「L L

』は信号処理画像データ D 2 における水平方向及び垂直方向が共に低域周波数側の成分、『LH』は信号処理画像データ D 2 における水平方向が低域周波数側で垂直方向が高域周波数側の成分、『HL』は信号処理画像データ D 2 における水平方向が高域周波数側で垂直方向が低域周波数側の成分、『HH』は信号処理画像データ D 2 における水平方向及び垂直方向が共に高域周波数側の成分をそれぞれ示す。

【0006】

そして DWT 部 3 は、このようなウェーブレット変換処理により得られたウェーブレット係数を DWT データ D 3 として量子化部 4 に送出する。

【0007】

量子化部 4 は、供給される DWT データ D 3 を順次量子化し、得られた量子化係数を、所定サイズのコードブロックに切り分けて、当該コードブロック単位のコードブロックデータ D 4 として、EBCOT (Embedded Block Coding with Optimized Truncation) ブロック 5 のビットモデル部 6 に送出する。

【0008】

ビットモデル部 6 は、供給されるコードブロックデータ D 4 を、ビットプレーンごとにデータをスキャンしながら CBM (Coefficient Bit Modeling) 処理により係数ビットモデル化し、かくして得られたシンボル (Symbol) 及びコンテキスト (Context) の各データ D 5、D 6 を算術符号化 (Arithmetic Coder) 部 7 に送出する。

【0009】

算術符号化部 7 は、供給されるシンボルデータ D 5 及びコンテキストデータ D 6 を入力として所定の算術符号化演算処理を実行することにより符号化列を生成し、これを符号化データ D 7 としてパケタイズストリーム生成部 8 に送出する。

【0010】

パケタイズストリーム生成部 8 は、供給される符号化データ D 7 を JPEG 2000 規格に応じたパケットフォーマットにパケット化する。これにより JPEG 2000 規格のシンタクスに合った符号化パケットデータ D 8 を得ることができる。

【0011】

一方、図40は、J P E G 2 0 0 0規格に準拠した復号化装置10の構成を示すものである。

【0012】

この復号化装置10においては、上述のようにして生成されたJ P E G 2 0 0 0規格のシンタクスに合った符号化パッケージデータD10から画像情報部分である符号化データD11を抽出し、これをE B C O Tブロック12の算術復号化部13に送出する。

【0013】

算術復号化部13は、符号化データD11及び後段のビットデモデル部14から与えられるコンテキストデータD12を入力とした所定の算術復号化演算処理を実行し、かくして得られたシンボルデータD13をビットデモデル部14に送出する。

【0014】

ビットデモデル部14は、供給されるシンボルデータD13をC B M処理により係数ビットモデル化し、かくして得られた復号されたコードブロックデータD14を逆量子化部15に送出すると共に、このとき得られたコンタクスをコンタクスデータD12として算術復号化部13に送出する。

【0015】

逆量子化部15は、供給される復号量子化データD14に対して逆量子化処理を施すことによりウェーブレット係数を得、これを復号D W TデータD16としてI D W T部16に送出する。

【0016】

I D W T部16は、供給される復号D W TデータD16に対してウェーブレット逆変換処理を施し、かくして得られたウェーブレット逆変換画像データD16を入力画像処理部17に送出する。

【0017】

そして入力画像処理部17は、このウェーブレット逆変換画像データD16に対して所定の信号処理を施す。これにより符号化装置1（図38）において符号

化された画像データ D1（図 38）を復号した画像データ D17を得ることができる。

【0018】

なお、J P E G 2 0 0 0 規格に準拠した符号化装置及び復号化装置に関する先行技術文献としては、以下のものがある（特許文献 1 参照）。

【0019】

【特許文献 1】

特開 2002-159009 公報

【0020】

【発明が解決しようとする課題】

ところが、かかる J P E G 2 0 0 0 規格による符号化処理及び復号化処理は、処理内容が煩雑で、高速化を図り難い問題があった。

【0021】

本発明は以上の点を考慮してなされたもので、符号化処理及び又は復号化処理を高速化させ得る符号化装置及び方法、復号化装置及び方法並びに画像情報処理システム及び方法を提案しようとするものである。

【0022】

【課題を解決するための手段】

かかる課題を解決するため本発明においては、符号化装置において、符号化手段が画像情報に対して符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段を設け、符号化手段が、第 1 の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第 1 の記憶手段に書き戻すようにした。

【0023】

この結果この符号化装置では、画像情報を符号化処理する際の状態量情報に対するアクセス性を向上させることができる。

【0024】

また本発明においては、符号化方法において、画像情報に対して所定の符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第 1 の記憶手段に記憶させる第 1 のステップと、画像情報に対して符号化処理を施す第 2 のステップとを設け、第 2 のステップでは、第 1 の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第 1 の記憶手段に書き戻すようにした。

【 0 0 2 5 】

この結果この符号化方法によれば、画像情報を符号化処理する際の状態量情報に対するアクセス性を向上させることができる。

【 0 0 2 6 】

さらに本発明においては、復号化装置において、復号化手段が符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段を設け、復号化手段が、第 1 の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第 1 の記憶手段に書き戻すようにした。

【 0 0 2 7 】

この結果この復号化装置においては、画像情報を復号化処理する際の状態量情報に対するアクセス性を向上させることができる。

【 0 0 2 8 】

さらに本発明においては、復号化方法において、符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 のステップと、符号化画像情報に対して所定の復号化処理を施す第 2 のステップとを設け、第 2 のステップでは、第 1 の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第 1 の記憶手段に書き戻すようにした。

【 0 0 2 9 】

この結果この復号化方法によれば、画像情報を復号化処理する際の状態量情報に対するアクセス性を向上させることができる。

【 0 0 3 0 】

さらに本発明においては、入力する画像情報に対して複数種類の所定の符号化処理を順番に施す符号化装置において、各種種類の符号化処理にそれぞれ対応させて設けられた複数の符号化処理手段を設け、画像情報に対する複数種類の符号化処理を、それぞれ対応する符号化処理手段により、それぞれ先行する符号化処理と当該符号化処理の内容に応じた所定の第 1 の位相差をもって並行して行うようにした。

【 0 0 3 1 】

この結果この符号化装置においては、画像情報に対する符号化処理を、各種種類の符号化処理を順番に別個独立に行う場合に比して格段的に高速に行うことができる。

【 0 0 3 2 】

さらに本発明においては、符号化方法において、画像情報に対する複数種類の符号化処理を、それぞれ先行する符号化処理と当該符号化処理の内容に応じた所定の第 1 の位相差をもって並行して行う符号化ステップを設けるようにした。

【 0 0 3 3 】

この結果この符号化方法によれば、画像情報に対する符号化処理を、各種種類の符号化処理を順番に別個独立に行う場合に比して格段的に高速に行うことができる。

【 0 0 3 4 】

さらに本発明においては、画像情報処理システムにおいて、符号化装置に、画像情報に対して所定の符号化処理を施す符号化手段と、符号化手段が画像情報に対して符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段とを設け、符号化手段が、第 1 の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第 1 の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処

理の処理状況に応じて変更した後、第1の記憶手段に書き戻し、復号化装置に、符号化画像情報に対して所定の復号化処理を施す復号化手段と、復号化手段が符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1の記憶手段とを設け、復号化手段が、第1の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにした。

【0035】

この結果この画像情報処理システムにおいては、画像情報を符号化処理又は復号化処理する際の状態量情報に対するアクセス性を向上させることができる。

【0036】

さらに本発明においては、画像情報処理方法において、符号化ステップに、画像情報に対して所定の符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第1の記憶手段に記憶させる第1のステップと、画像情報に対して符号化処理を施す第2のステップとを設け、第2のステップでは、第1の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻し、復号化ステップに、符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1のステップと、符号化画像情報に対して所定の復号化処理を施す第2のステップとを設け、第2のステップでは、第1の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにした。

【0037】

この結果この画像情報処理方法によれば、画像情報を符号化処理又は復号化処理する際の状態量情報に対するアクセス性を向上させることができる。

【0038】**【発明の実施の形態】**

以下図面について、本発明の一実施の形態を詳述する。

【0039】**(1) CBM処理の内容**

本願発明は上述した J P E G 2 0 0 0 規格に準拠した符号化装置 1 のビットモデル部 6 (図 3 8) や復号化装置 1 0 のビットモデル部 1 3 (図 4 0) において行われる CBM 処理に関するものである。そこで、まず CBM 処理の具体的処理内容について詳説する。

【0040】**(1-1) 1コードブロックとコードブロックサイズ**

図 3 8 について上述したように、例えば J P E G 2 0 0 0 規格に準拠した符号化装置 1 の量子化部 4 では、ウェーブレット係数を量子化したものをコードブロックと呼ばれる単位で切り出してビットモデル部 6 に与える。そしてビットモデル部 6 では、図 1 に示すように、このコードブロック 2 0 を単位として CBM 処理を行い、シンボルとコンテキストを生成することになる。

【0041】

ここでコードブロック 2 0 のサイズは、図 2 に示すように、大枠が定められている。従って、コードブロック 2 0 のサイズは、エンコード時にこのルールに従って選択することになる。

【0042】

この場合、コードブロック 2 0 は基本的にはサブバンドの左上境界から始まって位置付けられるので、図 3 に示すように、画像サイズとコードブロックサイズとの関係によっては不整合を生じる。このようにエンコード時に決定したものを通常サイズと呼び、不整合が生じたものを例外サイズと呼ぶ。

【0043】

例外サイズは必ず通常サイズよりも小さいものであり、基本的に格納しているデータの量が異なるだけであるので、例外サイズについて触れるのはここだけに留め、以下においては通常サイズのコードブロック 2 0 を取り上げて説明する。

【0 0 4 4】

(1-2) ビットプレーン

上述のように、CBM処理ではコードブロック 2 0 を単位として処理（モデル化、シンボル・コンテキスト出力）を行うわけであるが、この処理はコードブロック 2 0 のデータをビットプレーンに分けて順に行われる。ビットプレーンはその名のとおり、『b i t (0 / 1)』を表現するものが集まった平面である。

【0 0 4 5】

図 4 に示すように、コードブロック 2 0 に分割されてきたデータは『Sign-Magnitude表現』、すなわち正負符号と絶対値による数値表現により表されている。最上位のビットプレーン 2 2 に各画素の正負符号が格納され、これを正負符号ビットプレーン 2 2_Sと呼ぶ。そしてこれよりも下位のビットプレーン 2 2 に各画素の絶対値データがビットごとに順に格納される。

【0 0 4 6】

ここで仮に各画素のデータが 1 6 ビットで表現されているとすると、コードブロックデータ 2 0 は、各画素の最上位ビット (b i t 1 5) が集まって構成するプレーンから最下位ビット (b i t 0) が集まって構成するプレーンまでの 1 6 枚のビットプレーン 2 2 に分割されることになる。

【0 0 4 7】

上位のビットプレーン 2 2 から順に眺めていくと、上述のように最上位ビットが集まって構成するビットプレーン 2 2 が正負符号ビットプレーン 2 2_Sであり、各画素の正負符号が格納される。

【0 0 4 8】

各画素のその次のビットが集まって構成するビットプレーン 2 2 から最下位ビットが集まって構成するビットプレーン 2 2 までの合計 1 5 枚の各ビットプレーン 2 2 に、各画素のデータの絶対値がビットごとに分割されて格納されていることになる。この場合、統計的に上位のいくつかのビットプレーン 2 2 では全てのビット値が 0 であるということが多い。このようなものをゼロビットプレーン 2 2₀と呼ぶ。

【0 0 4 9】

かかる 15 枚のビットプレーン 22 を上から順に見ていくと、やがて初めてゼロビットプレーン 22₀ ではないビットプレーン 22 にたどりつく。それをトップビットプレーン 22_T と呼び、ここではそれが各画素の最下位ビット (b i t 0) から数えて 10 番目のビット (b i t 9) が集まって構成しているビットプレーン 22 だったとする。これよりも下位のビットプレーン 22 (それぞれ各画素の 9 番目以下のビットが集まって構成される各ビットプレーン 22) は、データがあつたり無かつたりしてもここでは特に分類はしない。

【0050】

ここまでの話をまとめると、この例では、各画素の最上位ビット (b i t 15) が集まって構成しているものが正負符号ビットプレーン 22_S、各画素の次のビット (b i t 14) が集まって構成しているビットプレーン 22 から 11 番目のビット (b i t 10) が集まって構成しているビットプレーン 22 がゼロビットプレーン 22₀ (10 枚)、10 番目のビット (b i t 9) が集まって構成しているビットプレーン 22 がトップビットプレーン 22_T、9 番目 (b i t 8) のビットが集まって構成しているビットプレーン 22 から最下位ビットが集まって構成しているビットプレーン 22 までが残りの処理すべきビットプレーン 22 (9 枚) というビットプレーン構成となっている。

【0051】

このようなビットプレーン構成のコードブロック 20 に対し、上述のビットモデル部 6 (図 38) やビットデモデル部 13 (図 40) では次のように C B M 処理を行う。

- ① 符号ビットプレーン 22_S に対する処理は、後回しにする。
- ② ゼロビットプレーン 22₀ に対しては C B M 処理を行わない。
- ③ トップビットプレーン 22_T で初めて C B M 処理を行う。この C B M 処理は “Clean-up Pass” (以下、これを C U パスと呼ぶ) と呼ばれる。
- ④ 残りの処理すべきビットプレーン 22 に対し、上位のビットプレーン 22 から順に、“Significance Propagation Pass” (以下、これを S P パスと呼ぶ)、“Magnitude Refinement Pass” (以下、これを M R パスと呼ぶ) 及び C U パスをビットプレーン 22 ごとにそれぞれ行う。

【 0 0 5 2 】

なお、S P パス、M R パス及び C U パスの詳細については後述する。

【 0 0 5 3 】**(1 - 3) ビットプレーン内スキャン順序**

コードブロック 2 0 内の各ビットプレーン 2 2 に対するアクセス順序はこれまでに説明した通りであるが、ビットプレーン 2 2 内において、各画素のデータにどのような順序でアクセスするかを示したのが図 5 である。この図 5 では、8 画素 × 8 画素のビットプレーン 2 2 を例に示すものである。

【 0 0 5 4 】

ビットプレーン 2 2 は、縦 4 画素ずつ横方向に区切った場合の各行であるストライプ 2 3 に分けられる。ストライプ 2 3 中の縦 1 列をストライプカラム 2 3 A と呼ぶ。ビットプレーン 2 2 の最上段のストライプ 2 3 における左端のストライプカラム 2 3 A から処理を始め、1 つのストライプカラム 2 3 A を処理したら隣のストライプカラム 2 3 A に移り、それをそのストライプ 2 3 中繰り返す。1 ストライプ 2 3 の処理が完了したら下段のストライプ 2 3 に移動し、ビットプレーン 2 2 内のすべての画素が処理されるまでこれを繰り返すというのがビットプレーン 2 2 内でのスキャン順序（以下、これをビットプレーン内スキャン順序と呼ぶ）である。

【 0 0 5 5 】

さらに、ビットプレーン 2 2 内におけるスキャンと 3 つのパス（S P パス、M R パス及び C U パス）との関係について以下に説明する。

【 0 0 5 6 】

上述のようにトップビットプレーン 2 2 T に対して C U パスのみを行い、それよりも下位のビットプレーン 2 2 に対しては、S P パス、M R パス及び C U パスの 3 つのパスを処理する。これとビットプレーン 2 2 内におけるスキャンとの関係を図 6 ～図 9 に示す。

【 0 0 5 7 】

まず新たにビットプレーン 2 2 を C B M 処理しようという場合において、まだひとつのデータも処理されておらずこれから処理を開始しようとしている状態が



図 6 である。S P パスの処理が必要な画素に対して行われ、この S P パス処理の終了した状態が図 7 となる。S P パスはビットプレーン内スキャン順序を守って行われる。

【0058】

次の MR パスは、S P パスで処理した画素は避け、該当する画素に対してのみ処理を行う。この MR パスの終了した状態が図 8 である。この MR パスにおいてもビットプレーン内スキャン順序は守る。

【0059】

さらに未処理で残った画素に対してもやはりビットプレーン内スキャン順序を守りながら C U パスで処理を行う。この C U パスの完了した状態が図 9 である。この結果、すべての画素が処理済みになったので、このビットプレーン 22 のビットモデル化は完了したことになる。

【0060】

なお『トップビットプレーン 22_T』については、C U パスの処理のみをすべての画素に対して行う。

【0061】

(1-4) “Significance” について

次に各コーディング・パス (S P パス、MR パス及び C U パス) の説明に入る前に、“Significance” という状態量について説明する。“Significance” とは該当画素が『有意である (Significant) / 有意でない (Insignificant) 』ということを表す。

【0062】

『有意である (Significant) 』とは、「これまでの C B M 処理によって注目係数が 0 ではないとわかっている状態」のことをいい、換言すれば「値が『1』である画素 (ビット) をすでにモデル化 (符号化) し終えた」ということを意味する。

【0063】

また『有意でない (Insignificant) 』とは、「係数値が 0 であるか、又は 0 の可能性がある状態」のことをいい、換言すれば「(今のところ) 値が『1』で

ある画素（ビット）を未だモデル化（符号化）し終えていない」ということを意味する。

【0 0 6 4】

さらに『該当画素』とは、ビットプレーン 2 2 上のある着目している画素のことをいう。

【0 0 6 5】

なお、“Significance” はコードブロック 2 0（図 1）に渡って更新されながら記憶保持される。従ってこれまで例示した 8 画素×8 画素のビットプレーン 2 2 が 1 6 枚からなるコードブロック 2 0 においていえば、6 4 画素（8 画素×8 画素）分の “Significance” 状態量をコードブロック 2 0 に渡って記憶保持することになる。

【0 0 6 6】

C B M 処理では、時間的にトップビットプレーン 2 2 _T から順に、ビットプレーン 2 2 内ではビットプレーン内スキャン順序に従って 3 つのコーディング・パス（トップビットプレーン 2 2 _T では C U パスのみ）を処理（モデル化、シンボル・コンテキスト出力）するが、ある画素の係数（正確にはウェーブレット変換係数を量子化したもの）の状態をこの “Significance” で表していることになる。

【0 0 6 7】

因みに、C B M 処理が行われていないコードブロック 2 0 においては、すべての S I G プレーン上の値が “Insignificant” で始まり、各ビットプレーン 2 2 を処理していく過程において該当するものが “Significant” に転じていく。一度 “Significant” になったものが C B M 処理の途中で “Insignificant” に戻ることはない。

【0 0 6 8】

（1－5） 3 つのコーディング・パス

次に、S L パス（Significance Propagation Pass）、M R パス（Magnitude Refinement Pass）、C U パス（Clean-up Pass）について説明する。

【0 0 6 9】

この3つのコーディング・パスに従ってビットモデル化の処理を行う場合には、図10に示すように、これから処理しようとするビットプレーン22（以下、これを処理ビットプレーン22と呼ぶ）以外に、正負符号ビットプレーン22S（図4）のデータを記憶保持するプレーン（以下、これを正負符号プレーンと呼ぶ）30と、“Significance”を記録するプレーン（以下、これをSIGプレーンと呼ぶ）31と、最初の“Refinement pass”であるか否か示すプレーン（以下、これをREFプレーンと呼ぶ）32と、処理ビットプレーン中で着目ビットが処理済みであるか否かを表すプレーン（以下、これをDONEプレーンと呼ぶ）33とを状態量の記録用RAMとして用意するのが一般的である。

【0070】

これら正負符号プレーン30、SIGプレーン31、REFプレーン32及びDONEプレーン33は、処理ビットプレーン22と同じ大きさを持つ（これまでの例では8画素×8画素）プレーンである。

【0071】

この場合、正負符号プレーン30は、コードブロック22を処理している間はその値が変化せず記憶保持される。SIGプレーン31は、SPパス、CUパスで値を変化させられる可能性がある。REFプレーン32は、MRパスで値を変化させられる可能性がある。DONEプレーン33は、各コーディング・パスの処理が完了した画素に対応させて処理済のフラグを立てる状態量で、その処理ビットプレーン22に対する処理が完了した段階でリセットされる。

【0072】

（1-5-1）SPパスの処理

SPパスは、トップビットプレーン22T（図4）を除く処理ビットプレーン22において、最初に実施されるコーディング・パスである。このSPパスは、処理ビットプレーン22上の該当画素と同じ座標位置にあるSIGプレーン31上のデータを参照しながら処理が進められる。

【0073】

すなわち図11に示すように、例えば処理ビットプレーン22上における該当画素の座標が（2，1）であったとき（図11（B））、SIGプレーン31上

のこの該当画素に対応するビット（図 11（C）における座標（2，1）のビット）と、その 8 近傍のビットとを合わせた（1，0）、（2，0）、（3，0）、（1，1）、（2，1）、（3，1）、（1，2）、（2，2）、（3，2）の各座標位置のデータを参照することになる。なお参照する 8 近傍のビットうち、処理ビットプレーン 22 の外側に位置してしまったビットはすべて “Insignificant” とされる。

【0074】

S P パスの処理を行うに際しては、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン 22 の左上を起点に、当該処理ビットプレーン 22 上の画素ごとに当該処理を行うことができるかどうかを調べる。具体的には、「『該当画素が “Significant” ではない (Insignificant) 』かつ『該当画素の 8 近傍に “Significant” である画素が少なくともひとつ存在する』」という条件を満たすか否かを調査する。

【0075】

そしてこの条件を満たすときにその該当画素に対して S P パスの処理を行い、満たさないときには S P パスの処理を行わずにビットプレーン内スキャン順序に従って次の画素を評価する。

【0076】

次に、S P パスの処理に入った場合の流れを説明する。

【0077】

S P パスに入った場合、シンボルとして図 12（A）に示す処理ビットプレーン 22 の該当画素の値（0 / 1）を出力する。同時に、処理ビットプレーン 22 上の該当画素と対応する図 12（B）に示す S I G プレーン 31 上のビットを囲む 8 近傍のビットのうち、“Significant” であるビットの数を数え、図 13 に示すルールに従ってコンテキストを出力する。

【0078】

なおこの図 13 において、『 ΣH 』、『 ΣV 』、『 ΣD 』及び『 $\Sigma H + \Sigma V$ 』は、それぞれ処理ビットプレーン 22 上の該当画素と対応する S I G プレーン 31 上のビットの 8 近傍における左右 2 つのビット、上下 2 つのビット、斜め 4 つ

のビット、又は上下左右4つのビットうちの“Significant”であるビットの合計値を表す。

【0079】

また『CX』は、そのような状態のときのコンテキストを表す。例えば、その処理ビットプレーン22を含むコードブロック20（図1）が画像のLL成分（図39）であり、このとき『ΣH』、『ΣV』及び『ΣD』がそれぞれ0、0及び1であった場合のコンテキストは1となり、『ΣH』、『ΣV』及び『ΣD』がそれぞれ1、0及び0であった場合のコンテキストは5となる。

【0080】

シンボルの値が0である場合は、その該当画素に対するSPパスの処理がこれで完了し、この該当画素とDONEプレーン33（図10）上の同じ座標位置にビットモデル化が完了した旨のフラグを立てる。

【0081】

これに対してシンボルの値が1（すなわち該当画素の値が1）だった場合は、この該当画素は初めて1が現れた画素であることになり、いままで“Insigificant”であったが、ここで初めて“Significant”に転じ、SIGプレーン31上の同じ座標位置にフラグを立てる。このときREFプレーン32（図10）上の同座標位置にもフラグを立てる。これは次のMRパスのための処理である。

【0082】

さらに、その該当画素と同じ座標位置にある正負符号プレーン30上のビット（すなわち該当画素に対応する正負符号）の上下左右4近傍のビットを参照し、図14に示すルールに従ってコンテキストを出力する。

【0083】

またこれと同時にXOR信号も出力され、これと当該コンテキストのXORを取ったものを、正負符号のシンボルとして出力することにより該当画素に対応する正負符号のビットモデル化を完了し、この段階でこの該当画素についてのSPパスの処理も完了となる。このときDONEプレーン33（図10）上の該当画素と同じ座標位置にビットモデル化が完了したことを表すフラグを立てる。

【0084】

なお、上述のことからも明らかなように、スキャン順序によっては、S P パスによって“Significant”に新たに転じたものが他の（近傍）画素のS I Gプレーン 3 1 上の 8 近傍参照時に影響を与えることがある。

【0085】

（1-5-2）MRパスの処理

MRパスは、トップビットプレーン 2 2_T（図 4）を除く処理ビットプレーン 2 2 について、S P パスに続いて実施されるコーディング・パスである。図 1 5 に処理の概略を示す。

【0086】

このMRパスの処理を行うに際しては、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン 2 2 の左上を起点に、当該処理を行うことができるかどうかを各画素について調べる。具体的には、「『未処理（D O N E プレーン 3 3 上の該当画素と同じ座標位置にフラグが立っていない）の処理ビットプレーン 2 2 上の該当画素』であって『その該当画素が“Significant”である』』という条件を満たすか否かを調査する。

【0087】

そしてこの条件を満たすときにその該当画素に対してMRパスの処理を行い、満たさないときにはMRパスの処理を行わずに上述のビットプレーン内スキャン順序に従って処理ビットプレーン 2 2 上の次の画素を評価する。

【0088】

そしてMRパスの処理に入った場合、該当画素とS I Gプレーン 3 1 上の同じ座標位置にあるビットの 8 近傍のビットを参照し、図 1 6 に示すルールに従ってコンテキストを出力し、同時に該当画素の値（0 / 1）をシンボル（図 1 6 において『X』）として出力する。

【0089】

図 1 6 において、『該当画素を最初に本パス（MRパス）で符号化』しているのかどうかという状態は、R E F プレーン 3 2（図 1 0）の該当画素と同じ座標位置のフラグを参照する。このフラグが立っていれば、その該当画素が、S P パスで処理が行われた直後の処理ビットプレーン 2 2 上の画素であるということ

がわかる。ただし、これ以降の下位のビットプレーン 2 2 の処理時に誤って参照しないように、参照後にこのフラグをクリアする。

【0 0 9 0】

(1 - 5 - 3) C U パスの処理

トップビットプレーン 2 2 _T に対しては唯一これのみ、トップビットプレーン 2 2 _T を除く他の処理対象のビットプレーン 2 2 に対しては最後に実施されコーディング・パスである。

【0 0 9 1】

C U パスでは、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン 2 2 の左上を起点に、C U パスの処理を行うことができるかどうかを各画素について調べるが、この段階で「未処理 (D O N E プレーン 3 3 上で該当画素と同じ座標位置にフラグが立っていない) の処理ビットプレーン 2 2 上の画素」、すなわち処理ビットプレーン 2 2 上の S P パス及び M R パスの処理対象としない残りの画素がすべて C U パスの処理対象となる。

【0 0 9 2】

C U パスでは、図 1 7 に示すように、上述した S P パスや M R パスのように該当画素と同じ座標位置にある S I G プレーン 3 1 上のビットの 8 近傍の値を参照するものに加えて、もう少し大きいランレンジス符号化を行う。

【0 0 9 3】

C U パスの処理は、まず処理ビットプレーン 2 2 の左上を起点に、ランレンジス処理を行うことができるかどうかを調べる。具体的には、ストライプカラム 2 3 A 単位で、「『当該ストライプカラム 2 3 A 内の 4 画素すべてが C U パスで処理すべき画素である』かつ『当該ストライプカラム 2 3 A 内の 4 画素すべてが “Insignificant” である』かつ『当該ストライプカラム 2 3 A 内の 4 画素とそれぞれ同じ座標位置にある S I G プレーン 3 1 上の 4 つのビットの各 8 近傍に “Significance” が存在しない』」という条件を満たすか否かを調査する。

【0 0 9 4】

そしてこの条件を満たすときにランレンジス処理に入り、コンテキストとして “run” を出力する。その上で、『当該ストライプカラム 2 3 A 内の 4 画素の値

がすべて 0 である』ときにはシンボルとして 0 を出力し、これに対して『当該ストライプカラム 2 3 A の 4 画素の値がすべて 0 ではない』とき、すなわち 4 画素の中にひとつでも 1 が存在する場合には、(“run” を出力した上で) シンボルとして 1 を出力し、それに引き続いて 2 回 “uniform” というコンテキストと対応するシンボルを出力する。

【 0 0 9 5 】

この際 “uniform” コンテキストに対応するシンボルは、図 1 8 に示すようなルールでエンコードを行う。この図 1 8 で説明すると、ストライプカラム 2 3 A 内の 4 画素が上から順に 0、0、1、0 で、初めて 1 が出てきたその位置を表現する『1、0』なる列がその順でシンボルとなる。“Insignificant” な画素において初めて 1 が現れたことになるので、その座標は “Significant” に転じ、図 1 7 (B) に示すように、かかる値が 1 の画素と同じ S I G プレーン 3 1 上の座標位置にフラグを立てる。同時に R E F プレーン 3 2 (図 1 0) の同じ座標位置にもフラグを立てておくことはいうまでもない。

【 0 0 9 6 】

続いてその該当画素の正負符号をモデル化するが、そのやり方は図 1 4 について上述した S P パスにおける正負符号のモデル化のそれと同じものである。さらにこの例ではストライプカラム 2 3 A 内の 4 番目の画素がモデル化されずに残っているが、この画素については S P パスと同様のモデル化を行うことになる。

【 0 0 9 7 】

(1-6) 3 つのコーディング・パスの依存関係

CBM 処理では 3 つのコーディング・パスを処理する。一度あるコーディング・パスでモデル化を行った処理ビットプレーン 2 2 上の画素がその処理ビットプレーン 2 2 中の他のコーディング・パスで再評価されることはない。DONE プレーン 3 3 を用いて処理済・未処理を管理しているためである。

【 0 0 9 8 】

しかしながら、上述のように “Significance” は 8 近傍から影響を受けるため、一般的に “Significance” の依存関係がある。すなわち “Significance” に

転じた画素があれば、近傍の画素がモデル化される際にその影響を受ける。

【0 0 9 9】

(1-7) 従来のCBM処理の問題

これまでCBM処理の概略を示してきたが、ポイントは、

- ① ひとつのビットプレーン22について3つのコーディング・パスを処理しなければならない
 - ② 3つのコーディング・パスにはビットプレーン22内で依存関係がある
 - ③ 上位のビットプレーン22で生成されたSIGプレーン31の値を評価しながら下位のビットプレーン22のビットモデル化が行われる
- ということである。

【0 1 0 0】

そのような制約のもと、上述した従来手法によるCBM処理では、

- ① 上位のビットプレーン22から順番に処理を行う
- ② トップビットプレーン22_TではCUパスの処理を行う。このときSIGプレーン31が生成される。
- ③ トップビットプレーン22_Tに対する処理の完了後、ひとつ下のビットプレーン22に移り、SPパスの処理を行いつつSIGプレーン31をアップデートする。
- ④ SPパスの処理を完了後、MRパスの処理を行う。処理に際してSIGプレーン31を参照する。
- ⑤ MRパスの処理を完了後、CUパスの処理を行う。SIGプレーン31を参照しつつ、あらたにモデル化されたビットを取り込みつつSIGプレーン31をアップデートする。これでひとつのビットプレーン22の処理を完了する。
- ⑥ 次のビットプレーン22に移る。
- ⑦ ...

といった形でのシーケンシャルな処理となっていた。

【0 1 0 1】

また従来手法におけるビットプレーン22（例えば8画素×8画素）についてのCBM処理では、各コーディング・パスごとにビットプレーン内スキャン順序

に従って、1画素ずつ順に評価している。

【0102】

しかしながら、3つのコーディング・パスを処理するビットプレーン22（主にこれが支配的である）では、64画素を評価するのに少なくともSPパス処理時に64回、MRパス処理時に64回の合わせて192回の係数参照を要する。また実際上は、これに加えて正負符号を評価する分も必要となる。

【0103】

ところがさらに同時にアクセスするSIGプレーン31に至っては、該当画素と同座標のビット及びその8近傍のビットの値を参照する必要がある、192回 $\times(8+1)=1728$ 回、すなわち処理すべき64画素の27倍のデータアクセスが必要となり、それが回路の動作速度に限界を与えている。

【0104】

一方、これまでビットプレーン22が8画素 \times 8画素である場合のCBM処理について説明してきたが、ウェーブレット変換して量子化された係数に対してコードブロックを切り出す際に、実際には32画素 \times 32画素や64画素 \times 64画素といったコードブロックサイズが使われることが多い。

【0105】

この場合、例えば32画素 \times 32画素 \times 16ビットのコードブロックサイズでは、 $32 \times 32 \times 16 = 16384$ [bit] = 16 [Kbit] というデータ量となり、64画素 \times 64画素 \times 16ビットのコードブロックサイズでは $64 \times 64 \times 16 = 65536$ [bit] = 64 [Kbit] というデータ量となる。

【0106】

従って、例えば図38に示すJPEG2000規格に準拠した符号化装置1や図40に示す復号化装置10をIC (Integrated Circuit) 化しようと考えた場合、実際上用いられることが多い32画素 \times 32画素 \times 16ビットや64画素 \times 64画素 \times 16ビットのコードブロックサイズは、IC内部のSRAM (Static RAM) に記憶保持するには大きいと言わざるを得ない。

【0107】

そこで、本実施の形態においては、

① IC化した符号化装置及び復号化装置の外部にコードブロックデータを記憶保持するDRAM (Dynamic RAM) を設ける一方、係数ビットモデリングに必要な処理ビットプレーンデータを記憶保持するSRAMをIC内部に設け、さらに処理に必要なデータ部分のみを順次切り取りながらSRAMからビットモデル部に読み込んで、CBM処理をした後にSRAMに書き戻すRead-Modify-Write形態をとる

② 従来1画素ずつ処理していたCBM処理を、処理ビットプレーン22内のストライプカラム23Aの大きさにあたる4画素まとめて演算子として構成し、処理を行う

③ 4画素拡張した演算子をすべてシフトレジスタを用いた演算子として構成することにより、処理ビットプレーンデータ、SIGプレーンデータ、REFプレーンデータ、正負符号プレーンデータ及びDONEプレーンデータの5つの情報が同期したパイプライン処理を行う

④ かかるシフトレジスタ化された演算子をSPパス、MRパス、CUパスの分だけ並列に用意して、位相差をつけて動作させる

といった構成上の工夫を加えたものである。この構成によれば、従来の処理方法で存在した符号出力に貢献しない無駄時間を大幅に短縮し、処理時間の低減をもたらす。以下、本発明を適用した符号化装置及び復号化装置について説明する。

【0108】

(2) 第1の実施の形態

(2-1) 第1の実施の形態による符号化装置40の構成

(2-1-1) 符号化装置40の全体構成

図38との対応部分に同一符号を付して示す図19は、JPEG2000規格に準拠した本実施の形態による符号化装置40を示し、全体として一体にIC化(集積回路化)されて構成されている点と、ICの外部に量子化部4から出力されるコードブロックデータD4を記憶保持するDRAM41が設けられている点と、EBOTブロック42の構成が異なる点とを除いて図38に示す符号化装置1と同様に構成されている。

【0109】

實際上、EBCOTブロック42においては、図20に示すように、それぞれSRAMからなる正負符号プレーンバッファ50及び処理ビットプレーンバッファ51A、51Bが入力段に設けられており、DRAM41（図19）に記憶保持されたコードブロックデータD4のうち、正負符号ビットプレーン22Sのデータ（以下、これを単に正負符号プレーンデータと呼ぶ）D20と、必要な処理ビットプレーン22のデータ（以下、これを単に処理ビットプレーンデータと呼ぶ）D21とを読み出し、これらをそれぞれSRAMでなる正負符号バッファ50又はビットプレーンバッファ51A、51Bに記憶保持し得るようになされている。

【0110】

この場合処理ビットプレーンバッファ51A、51Bは2つ設けられており、これにより一方の処理ビットプレーンバッファ51A、51Bに記憶保持した処理ビットプレーンデータD21をCBM処理しながら、他方の処理ビットプレーンバッファ51B、51Aに次の処理ビットプレーンデータD21を書き込み得るようになされている。

【0111】

またEBCOTブロック42には、それぞれ少なくとも1ビットプレーン分のデータ及び2ビットプレーン分のデータの記憶容量を有するSRAM52A、52Bが設けられており、これによりCBM処理時に利用するSIGプレーン31（図10）のデータ（以下、これをSIGプレーンデータと呼ぶ）D22をSRAM52Aに記憶保持し、REFプレーン32（図10）のデータ（以下、これをREFプレーンデータと呼ぶ）D23及びDONEプレーン33（図10）のデータ（以下、これをDONEプレーンデータと呼ぶ）D24をSRAM52Bに記憶保持することができるようになされている。

【0112】

一方、処理ビットプレーンバッファ51A、51Bに記憶保持された処理ビットプレーンデータD21は、スイッチャ53を介してビットモデル部54により所定単位で順次読み出される。そしてビットモデル部54は、この読み出した処理ビットプレーンデータD21を、正負符号プレーンバッファ50に記憶保持さ

れた正負符号プレーンデータ D20 と、SRAM52A、52B に記憶保持された SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 とを利用しながら CBM 処理し、かくして得られたシンボル SB 及びコンテキスト CX を算術符号化部 55 に送出する。

【0113】

算術符号化部 55 は、供給されるシンボル SB 及びコンテキスト CX を入力として算術符号化処理を行いながら符号化列を生成し、かくして得られた符号化データ D25 をコードブロック 20 ごとに第 1 又は第 2 のビットストリームバッファ 56A、56B に順次交互に格納する。

【0114】

そしてこの第 1 又は第 2 のビットストリームバッファ 56A、56B に格納された符号化データ D25 は、この後スイッチャ 57 を介して後段のパケットサイズ・ストリーム生成部 8 (図 19) に送出される。

【0115】

このようにしてこの符号化装置 40 においては、DRAM41 に格納されたコードブロックデータ D4 から必要な処理ビットプレーンデータ D21 のみを読み出してビットプレーンバッファ 51A、51B に記憶保持しながら、当該記憶保持した処理ビットプレーンデータ D21 に対して順次 CBM 処理を施し得るようになされている。

【0116】

(2-1-2) ビットモデル部 54 の構成

ここでビットモデル部 54 は、図 21 に示すように、シグナルスイッチャ 60、SP パス符号化処理部 61、MR パス符号化処理部 62、CU パス符号化処理部 63、出力スイッチャ 64 及び制御部 65 から構成されている。

【0117】

この場合シグナルスイッチャ 60 は、トップビットプレーン 22_T 以外の処理ビットプレーン 22 に対する CBM 処理時、シーケンサ及びタイミングジェネレータとしての機能を有する制御部 65 の制御のもとに、処理ビットプレーンデータ D21 を、図 22 (A) に示す 1 ストライプカラム 23A を構成する 4 画素分

を1サンプルとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1サンプルずつ順次読み出し、これをまずSPパス符号化処理部61に送出する。

【0118】

またシグナルスイッチャ60は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してSPパスによる符号化処理（以下、これをSPパス符号化処理と呼ぶ）をする際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット（合わせて6ビット、図22（C）参照）分の正負符号プレーンデータD20を正負符号プレーンバッファ50から順次読み出し、これをSPパス符号化処理部61に送出する。

【0119】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をSPパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下のビット（合わせて6ビット、図22（B）参照）のSIGプレーンデータD22をSRAM52Aから順次読み出し、これをSPパス符号化処理部61に送出する。

【0120】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をSPパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の4ビット（図22（E）参照）分のREFプレーンデータD23と、当該4画素と同座標にあるDONEプレーン33上の4ビット（図22（D）参照）分のDONEプレーンデータD24とをSRAM52Bから順次読み出し、これをSPパス符号化処理部61に送出する。

【0121】

このときSPパス符号化処理部61は、シグナルスイッチャ60から順次供給される4画素分の処理ビットプレーンデータD21と、これと対応する正負符号プレーンデータD20、SIGプレーンデータD22、REFプレーンデータD

23及びDONEプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0122】

そしてSPパス符号化処理部61は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD21等が与えられると、図22(A)において太枠で囲んだその1つ前のサンプルの処理ビットプレーンデータD21(4画素分)について、そのとき記憶保持している図22(B)～(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD22、正負符号プレーンデータD20、REFプレーンデータD23及びDONEプレーンデータD24を利用して、SPパス符号化処理できるか否かの検出と、できる場合のSPパス符号化処理とを実行する。

【0123】

そしてSPパス符号化処理部61は、SPパス符号化処理を行った場合、これにより得られたその画素についてのシンボルSB及び正負符号についての各シンボルSBをシンボルデータD26Sとして出力スイッチャ64に送出すると共に、その画素についてのコンテキストCX及び正負符号についてのコンテキストCXをコンテキストデータD27Sとして出力スイッチャ64に送出する。

【0124】

またSPパス符号化処理部61は、SPパス符号化処理を行ったときは、かかるSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチャ60を介して対応するSRAM52A、52Bに与えることにより、これらSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をそれぞれSRAM52A、52Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

【0125】

一方、シグナルスイッチャ60は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するSPパス符号化処理を終了すると、この後これと同様

にして、制御部 65 の制御のもとに、同じ処理ビットプレーンデータ D21 を、図 22 (A) に示す 1 ストライプカラム 23A を構成する 4 画素分を 1 サンプルとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 51A、51B から 1 サンプルずつ順次読み出し、これを MR パス符号化処理部 62 に送出する。

【0126】

またシグナルスイッチャ 60 は、これと同期して、処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 に対して MR パスによる符号化処理（以下、これを MR パス符号化処理と呼ぶ）をする際に必要となる、当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビット及其の上下のビット（合わせて 6 ビット、図 22 (B) 参照）分の SIG プレーンデータ D22 を SRAM 52A から順次読み出し、これを MR パス符号化処理部 62 に送出する。

【0127】

さらにシグナルスイッチャ 60 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を MR パス符号化処理する際に必要となる、当該 4 画素と同座標にある REF プレーン 32 上の 4 ビット（図 22 (E) 参照）分の REF プレーンデータ D23 と、当該 4 画素と同座標にある DONE プレーン 33 上の 4 ビット（図 22 (D) 参照）分の DONE プレーンデータ D24 とを SRAM 52B から順次読み出し、これを MR パス符号化処理部 61 に送出する。

【0128】

このとき MR パス符号化処理部 62 は、シグナルスイッチャ 60 から順次供給される 4 画素分の処理ビットプレーンデータ D21 と、これと対応する SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【0129】

そして MR パス符号化処理部 62 は、シグナルスイッチャ 60 から次のサンプルの処理ビットプレーンデータ D21 等が与えられると、図 22 (A) において

太枠で囲んだその1つ前のサンプルの処理ビットプレーンデータD21（4画素分）について、そのとき記憶保持している図22（B）、（D）及び（E）においてそれぞれ太枠で囲まれた必要なSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24を利用して、MRパス符号化処理できるか否かの検出と、できる場合のMRパス符号化処理とを実行する。

【0130】

そしてMRパス符号化処理部62は、MRパス符号化処理を行った場合、これにより得られたその画素についてのシンボルSB及び正負符号についてのシンボルSBをシンボルデータD26Rとして出力スイッチャ64に送出すると共に、その画素についてのコンテキストCX及び正負符号についてのコンテキストCXをコンテキストデータD27Rとして出力スイッチャ64に送出する。

【0131】

またMRパス符号化処理部62は、MRパス符号化処理を行ったときは、SIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、これらSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をそれぞれSRAM52A、52Bにおけるもとのアドレス位置に書き戻させる（Read-Modify-Write）。

【0132】

さらにシグナルスイッチ60は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ（処理ビットプレーンデータD21）に対するMRパス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21を、図22（A）に示す1ストライプカラム23Aを構成する4画素分を1サンプルとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1サンプルずつ順次読み出し、これをCUパス符号化処理部63に送出する。

【0133】

またシグナルスイッチャ60は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してCUパスによる符号化処理（以下、これをCUパス符号化処理と呼ぶ）をする際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット（合わせて6ビット、図22（C）参照）分の正負符号プレーンデータD20を正負符号プレーンバッファ50から順次読み出し、これをCUパス符号化処理部63に送出する。

【0134】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をCUパス符号化処理する際に必要となる、当該4画素と同座標にあるSIGプレーン31上の4ビット及びその上下のビット（合わせて6ビット、図22（B）参照）のSIGプレーンデータD22をSRAM52Aから順次読み出し、これをCUパス符号化処理部63に送出する。

【0135】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をCUパス符号化処理する際に必要となる、当該4画素と同座標にあるREFプレーン32上の4ビット（図22（E）参照）分のREFプレーンデータD23と、当該4画素と同座標にあるDONEプレーン33上の4ビット（図22（D）参照）分のDONEプレーンデータD24とをSRAM52Bから読み出し、これをCUパス符号化処理部63に送出する。

【0136】

このときCUパス符号化処理部63は、シグナルスイッチャ60から順次供給される4画素分の処理ビットプレーンデータD21と、これと対応する正負符号プレーンデータD20、SIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0137】

そしてCUパス符号化処理部63は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD21等が与えられると、図22（A）において

太枠で囲んだその1つ前のサンプルの処理ビットプレーンデータD21(4画素分)について、そのとき記憶保持している図22(B)~(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD22、正負符号プレーンデータD20、REFプレーンデータD23及びDONEプレーンデータD24を利用して、CUパス符号化処理できるか否かの検出と、できる場合のCUパス符号化処理とを実行する。

【0138】

そしてCUパス符号化処理部63は、CUパス符号化処理を行った場合、これにより得られたその画素についてのシンボルSB及び正負符号についてのシンボルSBをシンボルデータD26Cとして出力スイッチャ64に送出すると共に、その画素についてのコンテキストCX及び正負符号についてのコンテキストCXをコンテキストデータD27Cとして出力スイッチャ64に送出する。

【0139】

またCUパス符号化処理部63は、CUパス符号化処理を行ったときは、かかるSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、これらSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をそれぞれSRAM52A、52Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

【0140】

一方、出力スイッチャ64においては、制御部65の制御のもとに、SPパス符号化処理部61、MRパス符号化処理部62及びCUパス符号化処理部63のそれぞれから与えられるシンボルデータD26S、D26R、D26Cと、コンテキストデータD27S、D27R、D27CとをそれぞれシンボルデータD26及びコンテキストデータD27として算術符号化部55に送出する。

【0141】

このようにしてこのビットモデル部54においては、処理ビットプレーン22上の4画素を単位としてSPパス符号化処理、MRパス符号化処理及びCUパス

符号化処理を行い得るようになされ、これにより C B M 処理を高速に行い得るようになされている。

【0142】

(2-1-3) 各コーディング・パス処理部の具体的構成

次に、S P パス符号化処理部 6 1、M R パス符号化処理部 6 2 及び C U パス符号化処理部 6 3 の各構成についてそれぞれ順番に説明する。

【0143】

(2-1-3-1) S P パス符号化処理部 6 1 の構成

S P パス符号化処理部 6 1 は、図 2 3 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 7 0、正符号シフトレジスタ部 7 1、S I G シフトレジスタ部 7 2、R E F シフトレジスタ部 7 3、D O N E シフトレジスタ部 7 4 及びセクタ 7 5 と、後述のようなセクタ 7 5 に対する出力切替え制御等を行う制御部 7 6 とから構成されている。

【0144】

また処理ビットシフトレジスタ部 7 0 には 3 段のシフトレジスタ 7 0 A が設けられると共に、正符号シフトレジスタ部 7 1、S I G シフトレジスタ部 7 2、R E F シフトレジスタ部 7 3 及び D O N E シフトレジスタ部 7 4 には、それぞれ 4 段のシフトレジスタ 7 1 A ~ 7 4 A が設けられている。

【0145】

これにより S P パス符号化処理部 6 1 は、上述のようにシグナルスイッチャ 6 0 (図 2 1) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 2 1、正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を、それぞれ処理ビットシフトレジスタ部 7 0、正符号シフトレジスタ部 7 1、S I G シフトレジスタ部 7 2、R E F シフトレジスタ部 7 3 及び D O N E シフトレジスタ部 7 4 の各シフトレジスタ 7 0 A ~ 7 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

【0146】

そして処理ビットシフトレジスタ部 7 0 は、シグナルスイッチャ 6 0 から 1 サ

ンプル分の処理ビットプレーンデータ D 2 1 が与えられると、このとき自己のシフトレジスタ 7 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 をセレクタ 7 5 に出力する。

【0147】

またこのとき S I G シフトレジスタ部 7 2 は、これと同期して、自己のシフトレジスタ 7 2 A に記憶保持した S I G プレーンデータ D 2 2 を用いて、このとき処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 4 画素について、それぞれ上述の S P パス符号化処理を行うための条件を満たしているか否かの検出処理を画素ごとに並行して行い、検出結果をセレクタ 7 5 に出力する。

【0148】

さらに S I G シフトレジスタ部 7 2 は、これと同期して、当該処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 4 画素について、図 1 3 について上述したルールに従って、当該 4 画素ごとのコンテキスト C X をそれぞれ演算し、演算結果をセレクタ 7 5 に出力する。

【0149】

そして、このとき S I G シフトレジスタ部 7 2 により検出された、処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 4 画素についての S P パス符号化処理を行うための条件を満たしているか否かの検出結果が全て否定的であった場合には、セレクタ 7 5 からは何も出力されず、処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 1 サンプル（4 画素）分の処理ビットプレーンデータ D 2 1 に対する処理が終了する。

【0150】

これに対して、処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 1 サンプルのうちのいずれかの画素（以下、これを S P パス符号化処理対象画素と呼ぶ）についての検出結果が肯定的であった場合には、処理ビットシフトレジスタ部 7 0 から出力された当該 S P パス符号化処理対象画素のデータ値（0 / 1）と、これに同期して S I G シフトレジスタ部 7 2 から出力された当該 S P パス符号化処理対象画素についてのコンテキスト C X の演算結果

とが、それぞれそのSPパス符号化処理対象画素のシンボルSB及びコンテキストCXとしてセクタ75から出力される。

【0151】

また、このシンボルSBの値が『0』であった場合、この後セクタ75からDONEシフトレジスタ部74に与えられる更新情報に基づいて、当該DONEシフトレジスタ部74のシフトレジスタ74Aに記憶保持されたDONEプレーンデータD24のうち、SPパス符号化処理対象画素と同座標のビットの値が、ビットモデル化が完了したことを表す『1』に更新されて、このSPパス符号化処理対象画素に対するSPパス符号化処理が完了する。

【0152】

これに対して、このシンボルSBの値が『1』であった場合には、その情報がSIGシフトレジスタ部72、REFシフトレジスタ部73及び正負符号シフトレジスタ部71にそれぞれ与えられる。

【0153】

このときSIGシフトレジスタ部72では、自己のシフトレジスタ72Aに記憶保持されたSIGプレーンデータD22におけるSPパス符号化処理対象画素と同座標のビットの値が“Significant”であることを表す『1』に更新される。またREFシフトレジスタ部73では、自己のシフトレジスタ73Aに記憶保持されたREFプレーンデータD23におけるSPパス符号化処理対象画素と同座標のビットの値が、“Significant”となったことを表す『1』に更新される。

【0154】

さらにこのとき正負符号シフトレジスタ部71は、このSPパス符号化処理対象画素の正負符号のシンボルSB及びコンテキストCXを図14について上述したルールに従って演算し、その演算結果をセクタ75に送出する。かくしてこのシンボルSB及びコンテキストCXがセクタ75を介して出力される。

【0155】

そして、この後セクタ75からDONEシフトレジスタ部74に更新情報与えられ、当該更新情報に基づき、DONEシフトレジスタ部74のシフトレジス

タ 7 4 A に記憶保持された D O N E プレーンデータ D 2 4 における S P パス符号化処理対象画素と同座標のビットの値が『1』に更新されて、当該 S P パス符号化処理対象画素に対する S P パス符号化処理が完了する。

【0 1 5 6】

また S P パス符号化処理部 6 1 は、この後同じサンプル（このとき処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目に記憶保持された 1 サンプル）内の当該 S P パス符号化処理対象画素よりもビットプレーン内スキャン順序が後の各画素について、S P パス符号化処理を行うための条件を満たしていない場合にはスキップし、S P パス符号化処理を行うための条件を満たしている場合には上述の S P パス符号化処理対象画素と同様にして S P パス符号化処理を行う。そして S P パス符号化処理部 6 1 は、このような処理を当該サンプル内の全ての画素に対して行い終わると、当該サンプルに対する処理を終了する。

【0 1 5 7】

そして、S P パス符号化処理部 6 1 は、この後制御部 7 6 から制御部 6 5（図 2 1）に与えられる次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等の転送要求に応じて、シグナルスイッチ 6 0 から当該次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに同様の処理を順次繰り返す。

【0 1 5 8】

またこの際 S P パス符号化処理部 6 1 は、次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに、S I G シフトレジスタ部 7 2、R E F シフトレジスタ部 7 3 及び D O N E シフトレジスタ部 7 4 の各シフトレジスタ 7 2 A ~ 7 4 A の 4 段目にそれぞれ記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 をそれぞれシグナルスイッチ 6 0 を介して対応する S R A M 5 2 A、5 2 B に与えることにより、これらを S R A M 5 2 A、5 2 B のもとの位置に書き戻させる。

【0 1 5 9】

このようにして S P パス符号化処理部 6 1 においては、ビットプレーンバッファ 5 1 A、5 1 B に格納された処理ビットプレーンデータ D 2 1 に対する S P パス符号化処理を行い得るようになされている。

【0160】

(2-1-3-2) MRパス符号化処理部62の構成

一方、MRパス符号化処理部62は、図24に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部80、SIGシフトレジスタ部82、REFシフトレジスタ部83、DONEシフトレジスタ部84及びセクタ85と、後述のようなセクタ85に対する出力切替え制御等を行う制御部86とから構成されている。

【0161】

また処理ビットシフトレジスタ部80には3段のシフトレジスタ80Aが設けられると共に、SIGシフトレジスタ部82、REFシフトレジスタ部83及びDONEシフトレジスタ部84には、それぞれ4段のシフトレジスタ82A～84Aが設けられている。

【0162】

これによりMRパス符号化処理部62は、上述のようにシグナルスイッチャ60(図21)から順次与えられる各1サンプル分の処理ビットプレーンデータD21、SIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24を、それぞれ処理ビットシフトレジスタ部80、SIGシフトレジスタ部82、REFシフトレジスタ部83及びDONEシフトレジスタ部84のシフトレジスタ80A、82A～84Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

【0163】

そして処理ビットシフトレジスタ部80は、シグナルスイッチャ60から1サンプル分の処理ビットプレーンデータD21が与えられると、このとき自己のシフトレジスタ80Aの2段目にシフトした1サンプル分の処理ビットプレーンデータD21をセクタ85に出力する。

【0164】

またこのときREFシフトレジスタ部83及びDONEシフトレジスタ部84は、これに同期して、自己のシフトレジスタ83A、84Aの2段目にシフトされた1サンプル分のREFプレーンデータD23又はDONEプレーンデータD

24 をセレクタ 85 に出力する。

【0165】

そしてSIGシフトレジスタ部82は、自己のシフトレジスタ82Aに記憶保持したSIGプレーンデータD22を用いて、処理ビットシフトレジスタ部80の2段目にシフトした4画素について、REFシフトレジスタ部83の出力を参照しながら図16について上述したルールに従ってコンテキストCXを演算し、演算結果をセレクタ85に出力する。

【0166】

そして、このときDONEプレーンデータD24の値が全て『1』（すなわち処理済）であった場合には、セレクタ85からは何も出力されずに、当該処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた1サンプル分の処理ビットプレーンデータD21に対する処理が終了する。

【0167】

またかかる1サンプル分のDONEプレーンデータD24のうち、いずれかのデータ値が『0』（すなわち未処理）であり、かつそのDONEプレーンデータD24と対応する処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた画素が“Significant”でなかった場合にも、セレクタ85からは何も出力されずに、当該処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた1サンプル分の処理ビットプレーンデータD21に対する処理が終了する。

【0168】

これに対して、かかる1サンプル分のDONEプレーンデータD24のうち、いずれかのデータ値が『0』であり、かつそのDONEプレーンデータD24と対応する処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた画素が“Significant”であった場合には、当該画素（以下、これをMRパス符号化処理対象画素と呼ぶ）がMRパス符号化処理すべき画素であることを意味する。

【0169】

かくして、このときセレクタ85は、処理ビットシフトレジスタ部80から出

力されたこのMRパス符号化処理対象画素のデータ値（0／1）をシンボルSBとして出力する共に、これと併せてSIGシフトレジスタ部82から出力された、このMRパス符号化処理対象画素のコンテキストCXを出力する。

【0170】

またこのときREFシフトレジスタ部83では、そのMRパス符号化処理対象画素と同座標のビットが『1』である場合（すなわちフラグが立っている場合）にはこれがクリアされ、またDONEシフトレジスタ部84では、そのMRパス符号化処理対象画素と同座標のビットが、当該MRパス符号化処理対象画素が処理済みとなったことを意味する『1』に更新される。

【0171】

そして、MRパス符号化処理部62は、この後そのとき処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた残りの画素についても、当該画素がMRパス符号化処理すべき画素であった場合には、上述と同様にMRパス符号化処理する。

【0172】

さらにMRパス符号化処理部62は、この後制御部86から制御部65（図21）に与えられる次の1サンプル分の処理ビットプレーンデータD21等の転送要求に応じて、シグナルスイッチャ60から当該次の1サンプル分の処理ビットプレーンデータD21等が与えられるごとに同様の処理を順次繰り返す。

【0173】

またこの際MRパス符号化処理部62は、次の1サンプル分の処理ビットプレーンデータD21等が与えられるごとに、SIGシフトレジスタ部82、REFシフトレジスタ部83及びDONEシフトレジスタ部84の各シフトレジスタ82A～84Aの4段目にそれぞれ記憶保持されたSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をシグナルスイッチャ60を介して対応するSRAM52A、52Bに与えることにより、それぞれSRAM52A、52Bのもとの位置に書き戻させる。

【0174】

このようにしてMRパス符号化処理部62においては、ビットプレーンバッフ

ァ 5 1 A、5 1 B に格納された処理ビットプレーンデータ D 2 1 に対する M R パス符号化処理を行い得るようになされている。

【0175】

(2-1-3-3) C U パス符号化処理部 6 3 の構成

C U パス符号化処理部 6 3 は、図 2 5 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 9 0、正符号シフトレジスタ部 9 1、S I G シフトレジスタ部 9 2、R E F シフトレジスタ部 9 3、D O N E シフトレジスタ部 9 4 及びセクタ 9 5 と、後述のようなセクタ 9 5 に対する出力切替え制御等を行う制御部 9 6 とから構成されている。

から構成されている。

【0176】

また処理ビットシフトレジスタ部 9 0 には 3 段のシフトレジスタ 9 0 A が設けられると共に、正符号シフトレジスタ部 9 1、S I G シフトレジスタ部 9 2、R E F シフトレジスタ部 9 3 及び D O N E シフトレジスタ部 9 4 には、それぞれ 4 段のシフトレジスタ 9 1 A ~ 9 4 A が設けられている。

【0177】

これにより C U パス符号化処理部 6 3 は、上述のようにシグナルスイッチャ 6 0 から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 2 1、正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を、それぞれ処理ビットシフトレジスタ部 9 0、正符号シフトレジスタ部 9 1、S I G シフトレジスタ部 9 2、R E F シフトレジスタ部 9 3 及び D O N E シフトレジスタ部 9 4 の各シフトレジスタ 9 0 A ~ 9 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

【0178】

そして処理ビットシフトレジスタ部 9 0 は、シグナルスイッチャ 6 0 (図 2 1) から 1 サンプル分の処理ビットプレーンデータ D 2 1 が与えられると、このとき自己のシフトレジスタ 9 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 をセクタ 9 5 に出力する。

【0179】

またこのときSIGシフトレジスタ部92は、これと同期して、自己のシフトレジスタ92Aに記憶保持したSIGプレーンデータD22を用い、DONEシフトレジスタ部94のシフトレジスタ94Aに記憶保持されたDONEプレーンデータD24を参照しながら、処理ビットシフトレジスタ部90のシフトレジスタ90Aの2段目にシフトされた4画素についてランレングス処理を行い得るか否かを検出する。

【0180】

そしてランレングス処理できない場合には、これら4画素について、それぞれ上述したSPパス符号化処理が順次行われることとなる。

【0181】

これに対してランレングス処理できる場合、SIGシフトレジスタ部92は、図17及び図18について上述したルールに従って、まずコンテキストとして“run”を出力する。その上でSIGシフトレジスタ部92は、そのサンプル内の4画素の値が全て『0』であるときにはシンボルSBとして0を出力する。かくしてこれらコンテキストCX及びシンボルSBがセクタ95を介して出力スイッチ64（図21）に送出される。

【0182】

またSIGシフトレジスタ部92は、当該サンプル内の4画素の値が全て0ではないとき、すなわち4画素の中にひとつでも値が1の画素が存在する場合には、シンボルSBとして1を出力し、それに引き続いて図18について上述したルールに従って2回“uniform”というコンテキストCXと対応するシンボルSBを出力する。かくしてこれらコンテキストCX及びシンボルSBがセクタ95を介して出力スイッチ64（図21）に送出される。

【0183】

このときSIGシフトレジスタ部92では、自己のシフトレジスタ92Aに記憶保持されたSIGプレーンデータD22における当該値が1の画素と同座標のビットの値が“Significant”であることを表す『1』に更新される。またREFシフトレジスタ部93では、自己のシフトレジスタ93Aに記憶保持されたR

E F プレーンデータ D 2 3 における当該画素と同座標のビットの値が “Significant” となったことを表す『1』に更新される。

【0184】

さらにこの後正負符号シフトレジスタ部 9 1 は、当該画素の正負符号のシンボル S B 及びコンテキスト C X を図 1 4 について上述したルールに従って演算し、その演算結果をセクタ 9 5 に送出する。かくしてこのシンボル S B 及びコンテキスト C X が上述の “uniform” というコンテキスト C X 及び当該画素に対応するシンボル S B に続けてセクタ 9 5 を介して出力スイッチャ 6 4 (図 2 1) に送出される。

【0185】

そして、この後セクタ 9 5 から DONE シフトレジスタ部 9 4 に更新情報与えられ、当該更新情報に基づき、DONE シフトレジスタ部 9 4 のシフトレジスタ 9 4 A に記憶保持された DONE プレーンデータ D 2 4 における当該画素と同座標のビットの値が『1』に更新されて、当該画素に対する C U パス符号化処理が完了する。

【0186】

さらに C U パス符号化処理部 6 3 は、この後同じサンプル (このとき処理ビットシフトレジスタ部 9 0 のシフトレジスタ 9 0 A の 2 段目に記憶保持された 1 サンプル) 内の当該画素よりもビットプレーン内スキャン順序が遅い各画素について、それぞれ S I G シフトレジスタ部 9 2、R E F シフトレジスタ部 9 3 及び D O N E シフトレジスタ部 9 4 の各シフトレジスタ 9 0 A ~ 9 4 A に記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を必要に応じて順次更新しながら上述した S P パス符号化処理を施す。そして C U パス符号化処理部 6 3 は、このような処理を当該サンプル内の全ての画素に対して行い終わると、当該サンプルに対する処理を終了する。

【0187】

そして、C U パス符号化処理部 6 3 は、この後制御部 9 6 から制御部 6 5 (図 2 1) に与えられる次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等の転送要求に応じて、シグナルスイッチャ 6 0 から当該次の 1 サンプル分の処理ビッ

トプレーンデータ D21 等が与えられるごとに同様の処理を順次繰り返す。

【0188】

またこの際 CU パス符号化処理部 63 は、次の 1 サンプル分の処理ビットプレーンデータ D21 等が与えられるごとに、SIG シフトレジスタ部 92、REF シフトレジスタ部 93 及び DONE シフトレジスタ部 94 の各シフトレジスタ 92A～94A の 4 段目にそれぞれ記憶保持された SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 をそれぞれシグナルスイッチ 60 を介して対応する SRAM 52A、52B に与えることにより、これらを SRAM 52A、52B のもとの位置に書き戻させる。

【0189】

このようにして CU パス符号化処理部 63 においては、ビットプレーンバッファ 51A、51B に格納された処理ビットプレーンデータ D21 に対する CU パス符号化処理を行い得るようになされている。

【0190】

(2-2) 第 1 の実施の形態による復号化装置 100 の構成

(2-2-1) 復号化装置 100 の全体構成

図 40 との対応部分に同一符号を付して示す図 26 は、JPEG 2000 規格に準拠した本実施の形態による復号化装置 100 を示し、全体として一体に IC 化（集積回路化）されて構成されている点と、EBCOT ブロック 101 の構成が異なる点と、IC の外部に当該 EBCOT ブロック 101 から出力されるコードブロックデータ D14 を記憶保持する DRAM 102 が設けられている点とを除いて図 40 に示す復号化装置 10 と同様に構成されている。

【0191】

實際上、EBCOT ブロック 101 においては、図 27 に示すように、それぞれ SRAM からなるストリームバッファ 110A、110B が入力段に設けられており、パケタイズストリーム分解部 11 から与えられる符号化データ D11 をこのストリームバッファ 110A、110B に記憶保持し得るようになされている。

【0192】

この場合ストリームバッファ110A、110Bは2つ設けられており、これにより一方のストリームバッファ110A、110Bに記憶保持したビットプレーン22の1枚分の符号化データD11をCBM処理しながら、他方のストリームバッファ110B、110Aに次のビットプレーン22の1枚分の符号化データD11を書き込み得るようになされている。

【0193】

またEBCOTブロック101には、それぞれ少なくとも1ビットプレーン分のデータ記憶容量を有するSRAM111Aと、2ビットプレーン分のデータ記憶容量を有するSRAM111Bとが設けられており、これによりCBM処理時に利用するSIGプレーンデータD30をSRAM52Aに記憶保持し、REFプレーンデータD31及びDONEプレーンデータD32をSRAM52Bに記憶保持することができるようになされている。

【0194】

一方、ストリームバッファ110A、110Bに記憶保持された符号化データD11は、スイッチャ112を介して算術復号化部113により所定単位で順次読み出される。そして算術復号化部113は、この読み出した符号化データD11及び後段のビットデモデル部114から与えられるコンテキストデータD33を入力とした所定の算術復号化演算処理を実行し、かくして得られたシンボルデータD34をビットデモデル部114に送出する。

【0195】

ビットデモデル部114は、供給されるシンボルデータD34をCBM処理により係数ビットデモデル化する。この際ビットモデル部114は、SPパスによる復号化処理（以下、これをSPパス復号化処理と呼ぶ）、MRパスによる復号化処理（以下、これをMRパス復号化処理と呼ぶ）及びCUパスによる復号化処理（以下、これをCUパス復号化処理と呼ぶ）により順次復号されていく処理ビットプレーンデータD35及び正負符号プレーンデータD36をそれぞれ後段のそれぞれSRAMでなるビットプレーンバッファ116A、116B又は正負符号プレーンバッファ115における対応する位置に順次格納する。

【0196】

またビットデモデル部 1 1 4 は、これと併せて S R A M 1 1 1 A、1 1 1 B に記憶保持された S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を必要に応じて順次更新しつつ、さらにこれら一部が復号等された処理ビットプレーンデータ D 3 5、正負符号プレーンデータ D 3 6、S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を利用しながら C B M 処理を進める。さらにこのときビットデモデル部 1 1 4 は、かかる処理ビットプレーンデータ D 3 5 と併せて得られたコンテキストデータ D 3 3 を上述のように順次算術復号化部 1 1 3 に送出する。

【0 1 9 7】

そしてこのような C B M 処理により最終的に復号された処理ビットプレーンデータ D 3 5 が第 1 又は第 2 のビットプレーンバッファ 1 1 6 A、1 1 6 B に記憶保持されると共に、最終的に復号された正負符号プレーンデータ D 3 6 が正負符号プレーンバッファ 1 1 5 に記憶保持され、これらがその後所定のタイミングで読み出されて、スイッチャ 1 1 7 を介してコードブロックデータ D 1 4 として上述の D R A M 1 0 2（図 2 6）に与えられて記憶保持される。

【0 1 9 8】

さらにこの D R A M 1 0 2 に記憶保持されたコードブロックデータ D 1 4 は、この後逆量子化部 1 4（図 2 6）に読み出されて所定の逆量子化処理が施される。

【0 1 9 9】

このようにしてこの復号化装置 1 0 0 においては、パケタイズストリーム分解部 1 1 から与えられる符号化データ D 1 1 を順次 C B M 処理することによりコードブロックデータ D 3 5 を復号し、これを I C の外部に設けられた D R A M 4 1 に記憶保持しながら、後段の処理を行い得るようになされている。

【0 2 0 0】

（2-2-2）ビットデモデル部 1 1 4 の構成

ここでビットデモデル 1 1 4 部は、図 2 8 に示すように、シグナルスイッチャ 1 2 0、S P パス復号化処理部 1 2 1、M R パス復号化処理部 1 2 2、C U パス

復号化処理部 123、出力スイッチャ 124 及び制御部 125 から構成されている。

【0201】

この場合上述の算術復号化部 113（図 27）は、ストリームバッファ 110 A、110 B から読み出した符号化データ D11 と、SP パス復号化処理部 121、MR パス復号化処理部 122 又は CU パス復号化処理部 123 から与えられるコンテキストデータ D33 とに基づいて所定の算術復号化演算処理を実行する。そして算術復号化部 113 は、この結果として得られたシンボルデータ D34 のうち、符号化装置 42（図 20）において SP パス符号化処理することにより得られた符号化データ D11 に対して上述のような算術復号化処理を施すことにより得られたものについては SP パス復号化処理部 121 に送出する。

【0202】

このときシグナルスイッチャ 120 は、シーケンサ及びタイミングジェネレータとしての機能を有する制御部 125 の制御のもとに、ビットプレーンバッファ 116 A、116 B に記憶保持されている復号前又は一部が復号された処理ビットプレーンデータ D35 を、図 22（A）に示す 1 ストライプカラム 23 A を構成する 4 画素分を 1 サンプルとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 116 A、116 B から 1 サンプル分ずつ順次読み出し、これを SP パス復号化処理部 121 に送出する。

【0203】

またシグナルスイッチャ 120 は、これと同期して、ビットプレーンバッファ 116 A、116 B から読み出された 4 画素分の処理ビットプレーンデータ D35 を SP パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビット及びその上下の各ビット（合わせて 6 ビット、図 22（C）参照）分の復号前又は一部が復号された正負符号プレーンデータ D36 を正負符号プレーンバッファ 115 から順次読み出し、これを SP パス復号化処理部 121 に送出する。

【0204】

さらにシグナルスイッチャ 120 は、これと同期して、かかる 4 画素分の処理

ビットプレーンデータ D35 を SP パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビット及其の上下のビット（合わせて 6 ビット、図 22（B）参照）の SIG プレーンデータ D30 を SRAM111A から順次読み出し、これを SP パス復号化処理部 121 に送出する。

【0205】

さらにシグナルスイッチャ 120 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D35 を SP パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある REF プレーン 32 上の 4 ビット（図 22（E）参照）分の REF プレーンデータ D31 と、当該 4 画素と同座標にある DONE プレーン 33 上の 4 ビット（図 22（D）参照）分の DONE プレーンデータ D32 とを SRAM111B から順次読み出し、これを SP パス復号化処理部 121 に送出する。

【0206】

このとき SP パス復号化処理部 121 は、シグナルスイッチャ 120 から順次供給される 4 画素分の処理ビットプレーンデータ D35 と、これと対応する正負符号プレーンデータ D36、SIG プレーンデータ D30、REF プレーンデータ D31 及び DONE プレーンデータ D32 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【0207】

そして SP パス復号化処理部 121 は、算術復号化部 113 から 1 シンボル分のシンボルデータ D34 が与えられると、図 22（A）において太枠で囲んだそのとき記憶保持している 1 サンプル分のシンボルデータ D34（4 画素分）について、そのとき記憶保持している図 22（B）～（E）においてそれぞれ太枠で囲まれた SIG プレーンデータ D30、正負符号プレーンデータ D36、REF プレーンデータ D31 及び DONE プレーンデータ D32 とを利用して、SP パス復号化処理できるか否かの検出と、できる場合の SP パス復号化処理とを実行する。

【0208】

またSPパス復号化処理部121は、SPパス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチャ124を介してコンテキストデータD33として算術復号化部113（図27）に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ115の対応する位置に格納する。

【0209】

さらにSPパス復号化処理部121は、SPパス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのものの位置に書き戻させる（Read-Modify-Write）。

【0210】

一方、算術復号化部113（図27）は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置42（図20）においてMRパス符号化処理することにより得られた符号化データD11に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータD34についてはMRパス復号化処理部122に送出する。

【0211】

このときシグナルスイッチャ120は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPパス復号化処理により一部が復号された処理ビットプレーンデータD35を、図22（A）に示す1ストライプカラム23Aを構成する4画素分を1サンプルとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1サンプル分ずつ順次読み出し、これをMRパス復号化処理部122に送出する。

【0212】

またシグナルスイッチャ120は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をMRパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及その上下のビット（合わせて6ビット、図22（B）参照）のSIGプレーンデータD30をSRAM111Aから順次読み出し、これをMRパス復号化処理部122に送出する。

【0213】

さらにシグナルスイッチャ120は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をMRパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の4ビット（図22（E）参照）分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の4ビット（図22（D）参照）分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをMRパス復号化処理部122に送出する。

【0214】

このときMRパス復号化処理部122は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応するSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0215】

そしてMRパス復号化処理部122は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図22（A）において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34（4画素分）について、そのとき記憶保持している図22（B）、（D）及び（E）においてそれぞれ太枠で囲まれたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32と、そのとき算術復号化部113から与えられたシンボルデータD34とを利用して、MRパス復号化処理できるか否かの検出と、できる場合のMRパス復号化処理とを実行する。

【0216】

またMRパス復号化処理部122は、MRパス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチャ124を介してコンテキストデータD33として算術復号化部113（図27）に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35をビットプレーンバッファ116A、116Bの対応する位置に格納する。

【0217】

さらにMRパス復号化処理部122は、MRパス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのものの位置に書き戻させる（Read-Modify-Write）。

【0218】

これと同様にして、算術復号化部113（図27）は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置42（図20）においてCUパス符号化処理することにより得られた符号化データD11に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータD34についてはCUパス復号化処理部123に送出する。

【0219】

このときシグナルスイッチャ120は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPパス復号化処理及びMRパス復号化処理（トップビットプレーン22_Tに対する復号化処理の場合を除く）により一部が復号された処理ビットプレーンデータD35を、図22（A）に示す1ストライプカラム23Aを構成する4画素分を1サンプルとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1サンプル分ずつ順次読み出し、これをCUパス復号化処理部123に送出する。

【0220】

またシグナルスイッチャ120は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をCUパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット（合わせて6ビット、図22（C）参照）分の復号前又は一部が復号された正負符号プレーンデータD36を正負符号プレーンバッファ115から順次読み出し、これをCUパス復号化処理部123に送出する。

【0221】

さらにシグナルスイッチャ120は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下のビット（合わせて6ビット、図22（B）参照）のSIGプレーンデータD30をSRAM111Aから順次読み出し、これをCUパス復号化処理部123に送出する。

【0222】

さらにシグナルスイッチャ120は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の4ビット（図22（E）参照）分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の4ビット（図22（D）参照）分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをCUパス復号化処理部123に送出する。

【0223】

このときCUパス復号化処理部123は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0224】

そしてCUパス復号化処理部123は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図22（A）において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34（4画素分）について、そのとき記憶保持している図22（B）～（E）においてそれぞれ太枠で囲まれたSIGプレーンデータD30、正負符号プレーンデータD36、REFプレーンデータD31及びDONEプレーンデータD32と、そのとき算術復号化部113からシンボルデータD34が与えられるとを利用して、CUパス復号化処理できるか否かの検出と、できる場合のCUパス復号化処理及びできない場合のSPパス復号化処理とを実行する。

【0225】

またCUパス復号化処理部123は、CUパス復号化処理又はSPパス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチ124を介してコンテキストデータD33として算術復号化部113（図27）に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ115の対応する位置に格納する。

【0226】

さらにCUパス復号化処理部123は、CUパス復号化処理又はSPパス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのもとの位置に書き戻させる（Read-Modify-Write）。

【0227】

このようにしてこのビットデモデル部114においては、復号対象のビットプレーン22上の4画素を単位としてSPパス復号化処理、MRパス復号化処理及

びCUパス復号化処理を行い得るようになされ、これによりCBM処理を高速に行い得るようになされている。

【0228】

(2-2-3) 各コーディング・パス処理部の具体的構成

次に、SPパス復号化処理部121、MRパス復号化処理部122及びCUパス復号化処理部123の各構成についてそれぞれ順番に説明する。

【0229】

(2-2-3-1) SPパス復号化処理部121の構成

SPパス復号化処理部121は、図29に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部130、正符号シフトレジスタ部131、SIGシフトレジスタ部132、REFシフトレジスタ部133、DONEシフトレジスタ部134及びセクタ135と、後述のようなセクタ135に対する出力切替え制御等を行う制御部136とから構成されている。

【0230】

また処理ビットシフトレジスタ部130には3段のシフトレジスタ130Aが設けられると共に、正符号シフトレジスタ部131、SIGシフトレジスタ部132、REFシフトレジスタ部133及びDONEシフトレジスタ部134には、それぞれ4段のシフトレジスタ131A～134Aが設けられている。

【0231】

これによりSPパス復号化処理部131は、上述のようにシグナルスイッチャ120(図28)から順次与えられる各1サンプル分の処理ビットプレーンデータD35、正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を、それぞれビットシフトレジスタ部130、正負符号シフトレジスタ部131、SIGシフトレジスタ部132、REFシフトレジスタ部133及びDONEシフトレジスタ部134の各シフトレジスタ130A～134Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

【0232】

そしてSIGシフトレジスタ部132は、算術復号化部113から1シンボル

分のシンボルデータ D34 が与えられると、そのとき自己のシフトレジスタ 132A に記憶保持した SIG プレーンデータ D30 を用いて、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 4 画素について、それぞれ上述の SP パス復号化処理を行うための条件を満たしているか否かの検出処理を画素ごとに並行して行い、検出結果をセクタ 135 に出力する。

【0233】

また SIG シフトレジスタ部 132 は、これと同期して、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 4 画素について、図 13 について上述したルールに従って、当該 4 画素ごとのコンテキスト CX をそれぞれ演算し、演算結果をセクタ 135 に出力する。

【0234】

そして、このとき SIG シフトレジスタ部 132 により検出された、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 4 画素についての SP パス復号化処理を行うための条件を満たしているか否かの検出結果が全て否定的であった場合には、セクタ 135 からは何も出力されず、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 1 サンプル（4 画素）分の処理ビットプレーンデータ D35 に対する処理が完了する。

【0235】

そして、この後制御部 136 からビットデモデル部 114 全体の制御部 125（図 28）に与えられる転送要求に応じて、当該制御部 125 の制御のもとに、シグナルスイッチャ 120（図 28）から次の 1 サンプル分の処理ビットプレーンデータ D35 等が SP パス復号化処理部 121 に与えられる。かくして SP パス復号化処理部 121 は、これにより新たに処理ビットシフトレジスタ部 130 の 2 段目にシフトされた 1 サンプル（4 画素）分の処理ビットプレーンデータ D35 について、同様の処理を開始する。

【0236】

これに対して、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 1 サンプルのうちのいずれかの画素（以下、これを SP

パス復号化処理対象画素と呼ぶ) についての検出結果が肯定的であった場合には、このとき算術復号化部 113 から与えられたシンボルデータ D34 のデータ値 (0/1) が処理ビットシフトレジスタ部 130 のシフトレジスタ 130A における当該 SP パス復号化処理対象画素と対応するビットに格納される。またこれと併せて、SIG シフトレジスタ部 132 から出力された当該 SP パス復号化処理対象画素についてのコンテキスト CX の演算結果がセクタ 135 から出力されて算術復号化部 113 に与えられる。

【0237】

さらに、このときのシンボルデータ D34 のデータ値 (SP パス復号化処理対象画素の復号値) が『0』であった場合、この後セクタ 135 から DONE シフトレジスタ部 134 に与えられる更新情報に基づいて、当該 DONE シフトレジスタ部 134 のシフトレジスタ 134A に記憶保持された DONE プレーンデータ D32 のうち、SP パス復号化処理対象画素と同座標のビットの値が、ビットデモデル化が完了したことを表す『1』に更新されて、この SP パス復号化処理対象画素に対する SP パス復号化処理が完了する。

【0238】

これに対して、このシンボルデータ D34 のデータ値が『1』であった場合、その情報が SIG シフトレジスタ部 132、REF シフトレジスタ部 133 及び正負符号シフトレジスタ部 131 にそれぞれ与えられる一方、これに続けて算術復号化部 113 (図 28) から与えられる 1 シンボル分のシンボルデータ D34 が正負符号シフトレジスタ部 131A に与えられる。

【0239】

このとき SIG シフトレジスタ部 132 では、自己のシフトレジスタ 132A に記憶保持された SIG プレーンデータ D30 における SP パス復号化処理対象画素と同座標のビットの値が “Significant” であることを表す『1』に更新される。また REF シフトレジスタ部 133 では、自己のシフトレジスタ 133A に記憶保持された REF プレーンデータ D31 における SP パス復号化処理対象画素と同座標のビットの値が、 “Significant” となったことを表す『1』に更新される。

【0240】

さらにこのとき正負符号シフトレジスタ部131は、供給されるシンボルデータD34のデータ値(0/1)に基づいてSPパス復号化処理対象画素の正負符号を復号化し、得られた正負符号ビットを自己のシフトレジスタ131AにおけるSPパス復号化処理対象画素と対応する位置に格納する一方、当該SPパス復号化処理対象画素の正負符号ビットのコンテキストCXを図14について上述したルールに従って演算し、その演算結果をセクタ135に送出する。かくしてこのコンテキストCXがセクタ135を介して算術復号化部113に与えられる。

【0241】

そして、この後セクタ135からDONEシフトレジスタ部134に更新情報が与えられ、当該更新情報に基づき、DONEシフトレジスタ部134のシフトレジスタ134Aに記憶保持されたDONEプレーンデータD32におけるSPパス復号化処理対象画素と同座標のビットの値が『1』に更新されて、当該SPパス復号化処理対象画素に対するSPパス復号化処理が完了する。

【0242】

そして、SPパス復号化処理部121は、この後算術復号化部113から1シンボル分のシンボルデータD34が与えられるごとに同様の処理を順次繰り返す。

【0243】

またこの際SPパス復号化処理部121は、シグナルスイッチャ120から1サンプル分の処理ビットプレーンデータD35等が与えられるごとに、処理ビットシフトレジスタ部130のシフトレジスタ130Aの3段目に記憶保持されていた処理ビットプレーンデータD35と、正負符号シフトレジスタ部131のシフトレジスタ131Aの4段目に記憶保持されていた正負符号プレーンデータD36とを、それぞれシグナルスイッチャ120を介して対応するビットプレーンバッファ116A、116B又は正負符号バッファ115に与えてもとのアドレス位置に書き戻させる一方、SIGシフトレジスタ部132、REFシフトレジスタ部133及びDONEシフトレジスタ部134の各シフトレジスタ132A

～134Aの4段目にそれぞれ記憶保持されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を、それぞれシグナルスイッチ120を介して対応するSRAM111A、111Bに与えてもとのアドレス位置に書き戻させる。

【0244】

このようにしてSPパス復号化処理部121においては、算術復号化部113から順次与えられるシンボルデータD34に基づいて、SPパス復号化処理を行い得るようになされている。

【0245】

(2-2-3-2) MRパス復号化処理部122の構成

一方、MRパス復号化処理部122は、図30に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部140、SIGシフトレジスタ部142、REFシフトレジスタ部143、DONEシフトレジスタ部144及びセクタ145と、後述のようなセクタ145に対する出力切替え制御等を行う制御部146とから構成されている。

【0246】

また処理ビットシフトレジスタ部140には3段のシフトレジスタ140Aが設けられると共に、SIGシフトレジスタ部142、REFシフトレジスタ部143及びDONEシフトレジスタ部144には、それぞれ4段のシフトレジスタ142A～144Aが設けられている。

【0247】

これによりMRパス復号化処理部122は、上述のようにシグナルスイッチ120（図28）から順次与えられる各1サンプル分の処理ビットプレーンデータD35、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を、それぞれ処理ビットシフトレジスタ部140、SIGシフトレジスタ部142、REFシフトレジスタ部143及びDONEシフトレジスタ部144のシフトレジスタ140A、142A～144Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

【0248】

そしてREFシフトレジスタ部143及びDONEシフトレジスタ部144は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、そのとき自己のシフトレジスタ143A、144Aの2段目にシフトされた1サンプル分のREFプレーンデータD31又はDONEプレーンデータD32をセクタ145に出力する。

【0249】

またこのときSIGシフトレジスタ部142は、自己のシフトレジスタ142Aに記憶保持したSIGプレーンデータD30を用いて、処理ビットシフトレジスタ部140の2段目にシフトした4画素について、REFシフトレジスタ部143の出力を参照しながら図16について上述したルールに従ってコンテキストCXを演算し、演算結果をセクタ145に出力する。

【0250】

そして、このときDONEプレーンデータD32の値が全て『1』（すなわち処理済）であった場合には、セクタ145からは何も出力されずに、当該処理ビットシフトレジスタ部140のシフトレジスタ140Aの2段目にシフトされた1サンプル分の処理ビットプレーンデータD35に対する処理が終了する。

【0251】

またかかる1サンプル分のDONEプレーンデータD32のうち、いずれかのデータ値が『0』（すなわち未処理）であり、かつそのDONEプレーンデータD32と対応する処理ビットシフトレジスタ部140のシフトレジスタ140Aの2段目にシフトされた画素が“Significant”でなかった場合にも、セクタ145からは何も出力されずに、当該処理ビットシフトレジスタ部140のシフトレジスタ140Aの2段目にシフトされた1サンプル分の処理ビットプレーンデータD35に対する処理が終了する。

【0252】

そしてこれらの場合には、この後制御部146からビットデモデル部114全体の制御部125（図28）に与えられる転送要求に応じて、当該制御部125の制御のもとに、シグナルスイッチャ120（図28）から次の1サンプル分の

処理ビットプレーンデータ D 3 5 等が MR パス復号化処理部 1 2 2 に与えられる。かくして MR パス復号化処理部 1 2 1 は、これにより新たに処理ビットシフトレジスタ部 1 3 0 の 2 段目にシフトされた 1 サンプル（4 画素）分の処理ビットプレーンデータ D 3 5 について、同様の処理を開始する。

【0253】

これに対して、かかる 1 サンプル分の DONE プレーンデータ D 3 2 のうち、いずれかのデータ値が『0』であり、かつその DONE プレーンデータ D 3 2 と対応する処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた画素が “Significant” であった場合には、当該画素（以下、これを MR パス復号化処理対象画素と呼ぶ）が MR パス復号化処理すべき画素であることを意味する。

【0254】

かくして、このとき算術復号化部 1 1 3（図 28）から与えられたシンボルデータ D 3 4 のデータ値（0 / 1）が処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A における MR パス復号化処理対象画素と対応するビットに格納される一方、S I G シフトレジスタ部 1 4 2 から出力された当該 MR パス復号化処理対象画素についてのコンテキスト C X の演算結果がセクタ 1 4 5 から出力されて算術復号化部 1 1 3 に与えられる。

【0255】

またこのとき R E F シフトレジスタ部 1 4 3 では、その MR パス復号化処理対象画素と同座標のビットが『1』である場合（すなわちフラグが立っている場合）にはこれがクリアされ、また DONE シフトレジスタ部 1 4 4 では、その MR パス復号化処理対象画素と同座標のビットが、当該 MR パス復号化処理対象画素が処理済みとなったことを意味する『1』に更新されて、この MR パス復号化処理対象画素に対する MR パス復号化処理が完了する。

【0256】

そして、MR パス復号化処理部 1 2 2 は、この後そのとき処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた残りの画素についても、当該画素が MR パス復号化処理すべき画素であった場合には、上述と

同様にMRパス復号化処理を実行する。

【0257】

そして、MRパス復号化処理部122は、この後算術復号化部113から1シンボル分のシンボルデータD34が与えられるごとに同様の処理を順次繰り返す。

【0258】

またこの際MRパス復号化処理部122は、処理ビットシフトレジスタ部140のシフトレジスタ140Aに新たな4画素分の処理ビットプレーンデータD35が与えられるごとに、処理ビットシフトレジスタ部140のシフトレジスタ140Aの3段目に記憶保持されていた処理ビットプレーンデータD35をシグナルスイッチ120を介して対応するビットプレーンバッファ116A、116Bに与えてもとのアドレス位置に書き戻させる一方、SIGシフトレジスタ部142、REFシフトレジスタ部143及びDONEシフトレジスタ部144の各シフトレジスタ142A～144Aの4段目にそれぞれ記憶保持されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を、それぞれシグナルスイッチ120を介して対応するSRAM111A、111Bに与えてもとのアドレス位置に書き戻させる。

【0259】

このようにしてMRパス復号化処理部122においては、算術復号化部113から与えられるシンボルデータD34に基づいてMRパス復号化処理を行い得るようになされている。

【0260】

(2-2-3-3) CUパス復号化処理部123の構成

CUパス復号化処理部123は、図31に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部150、正符号シフトレジスタ部151、SIGシフトレジスタ部152、REFシフトレジスタ部153、DONEシフトレジスタ部154及びセクタ155と、後述のようなセクタ155に対する出力切替え制御等を行う制御部156とから構成されている。

【0261】

また処理ビットシフトレジスタ部150には3段のシフトレジスタ150Aが設けられると共に、正符号シフトレジスタ部151、SIGシフトレジスタ部152、REFシフトレジスタ部153及びDONEシフトレジスタ部154には、それぞれ4段のシフトレジスタ151A~154Aが設けられている。

【0262】

これによりCUパス復号化処理部123は、上述のようにシグナルスイッチャ120（図28）から順次与えられる各1サンプル分の処理ビットプレーンデータD35、正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を、それぞれ処理ビットシフトレジスタ部150、正符号シフトレジスタ部151、SIGシフトレジスタ部152、REFシフトレジスタ部153及びDONEシフトレジスタ部154の各シフトレジスタ150A~154Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

【0263】

そしてSIGシフトレジスタ部152は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、そのとき自己のシフトレジスタ152Aに記憶保持したSIGプレーンデータD30と、DONEシフトレジスタ部154のシフトレジスタ154Aに記憶保持されたDONEプレーンデータD32を用いて、処理ビットシフトレジスタ部130のシフトレジスタ130Aの2段目にシフトされた4画素が上述したランレングス処理を行うための条件を満たしているか否かを検出する。

【0264】

そしてかかる4画素がランレングス処理を行うための条件を満たしていない場合には、これら4画素のそれぞれについて、上述したSPパス復号化処理が順次行われる。

【0265】

これに対してかかる4画素がランレングス処理を行うための条件を満たしている場合であって、このとき算術復号化部113（図28）から与えられた1シンボル分のシンボルデータD34のデータ値が『0』であったときには、処理ビッ

トシフトレジスタ 150 のシフトレジスタ 150A における 2 段目の 1 番目～4 番目の各ビットにそれぞれ『0』が格納される。またこれと併せてSIGシフトレジスタ部 152 からこれに応じたコンテキストCX (“run”) が出力され、このコンテキストCX がセクタ 155 を介して算術復号化部 113 (図 28) に与えられて、この処理ビットシフトレジスタ部 150 のシフトレジスタ 150A の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレーンデータ D35 に対する処理が完了する。

【0266】

またかかる 4 画素がランレングス処理を行うための条件を満たしている場合であって、このとき算術復号化部 113 から与えられた 1 シンボル分のシンボルデータ D34 のデータ値が『1』であったときには、その後算術復号化部 113 から与えられる 2 シンボル分のシンボルデータ D34 のデータ値に応じて、図 18 について上述した処理と逆の処理が行われる。

【0267】

具体的には、算術復号化部 113 から与えられた 2 シンボル分のシンボルデータ D34 のデータ値が『0、0』であった場合には、処理ビットシフトレジスタ部 150 のシフトレジスタ 150A における 2 段目の一番上のビットに『0』が格納され、当該データ値が『0、1』であった場合には、処理ビットシフトレジスタ部 150 のシフトレジスタ 150A における 2 段目の 1 番目及び 2 番目のビットにそれぞれ『0』又は『1』が格納される。また、算術復号化部 113 から与えられた 2 シンボル分のシンボルデータ D34 のデータ値が『1、0』であった場合には、処理ビットシフトレジスタ部 150 のシフトレジスタ 150A における 2 段目の 1 番目～3 番目のビットにそれぞれ『0』、『0』又は『1』が格納され、当該データ値が『1、1』であった場合には、処理ビットシフトレジスタ部 150 のシフトレジスタ 150A における 2 段目の 1 番目～4 番目のビットにそれぞれ『0』、『0』、『0』又は『1』が格納される。さらに、これと併せてSIGシフトレジスタ部 152 から 2 回 “uniform” というコンテキストCX が出力され、これがセクタ 155 を介して算術復号化部 113 に与えられる。

。

【0268】

さらにこのときSIGシフトレジスタ部152では、自己のシフトレジスタ152Aの2段目における、このとき処理ビットシフトレジスタ部150のシフトレジスタ150Aの「1」が格納された画素（以下、これをCUパス復号化処理対象画素と呼ぶ）と同座標のビットの値が“Significant”であることを表す「1」に更新される。またREFシフトレジスタ部153では、自己のシフトレジスタ153Aに記憶保持されたREFプレーンデータD31における当該CUパス復号化処理対象画素と同座標のビットの値が“Significant”となったことを表す「1」に更新される。

【0269】

さらにこの後、算術復号化部113から与えられる1シンボル分のシンボルデータD34が正負符号シフトレジスタ部151に与えられる。そして正負符号シフトレジスタ部151では、かかるCUパス復号化処理対象画素の正負符号がこのシンボルデータD34に基づいて演算されると共に当該CUパス復号化処理対象画素のコンテキストCXが図14について上述したルールに従って演算され、算出された正負符号が当該正負符号シフトレジスタ部151のシフトレジスタ151AにおけるCUパス復号化処理対象画素と同座標のビットに格納され、コンテキストCXがセクタ155を介して算術復号化部113に出力される。

【0270】

そして、この後セクタ155からDONEシフトレジスタ部154に更新情報与えられ、当該更新情報に基づき、DONEシフトレジスタ部154のシフトレジスタ154Aに記憶保持されたDONEプレーンデータD32における当該CUパス復号化処理対象画素と同座標のビットの値が「1」に更新されて、当該CUパス復号化処理対象画素に対するCUパス復号化処理が完了する。

【0271】

さらにCUパス復号化処理部123は、この後同じサンプル（このとき処理ビットシフトレジスタ部150のシフトレジスタ150Aの2段目に記憶保持された1サンプル）内の当該CUパス復号化処理対象画素よりもビットプレーン内スキャン順序が後の各画素について、それぞれSIGシフトレジスタ部152、R

EFシフトレジスタ部153及びDONEシフトレジスタ部154の各シフトレジスタ150A～154Aに記憶保持されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を必要に応じて順次更新しながら上述したCUパス復号化処理を実行する。そしてCUパス復号化処理部123は、このような処理を当該サンプル内の全ての画素に対して行い終わると、当該サンプルに対するCUパス復号化処理を完了する。

【0272】

そして、CUパス復号化処理部123は、この後算術復号化部113から1シンボル分のシンボルデータD34が与えられるごとに同様の処理を順次繰り返す。

【0273】

またこの際CUパス復号化処理部123は、シグナルスイッチャ120から1サンプル分の処理ビットプレーンデータD35等が与えられるごとに、処理ビットシフトレジスタ部150のシフトレジスタ150Aの3段目に記憶保持されていた処理ビットプレーンデータD35と、正負符号シフトレジスタ部151のシフトレジスタ151Aの4段目に記憶保持されていた正負符号プレーンデータD36とを、それぞれシグナルスイッチャ120を介して対応するビットプレーンバッファ116A、116B又は正負符号バッファ115に与えてもとのアドレス位置に書き戻させる一方、SIGシフトレジスタ部152、REFシフトレジスタ部153及びDONEシフトレジスタ部154の各シフトレジスタ152A～154Aの4段目にそれぞれ記憶保持されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を、それぞれシグナルスイッチャ120を介して対応するSRAM111A、111Bに与えてもとのアドレス位置に書き戻させる。

【0274】

このようにしてCUパス復号化処理部123においては、算術復号化部113から順次与えられるシンボルデータD34に基づいて、CUパス復号化処理を行い得るようになされている。

【0275】

(2-3) 第1の実施の形態の動作及び効果

以上の構成において、本実施の形態による符号化装置42及び復号化装置100では、SRAM52A、52B、111A、111Bに記憶保持されたSIGプレーンデータD22、D30、REFプレーンデータD23、D31、DONEプレーンデータD24、D32の中から必要な部分のみを順次SPパス符号化処理部61、MRパス符号化処理部62、CUパス符号化処理部63、SPパス復号化処理部121、MRパス復号化処理部122、CUパス復号化処理部123に順次読み込み、処理ビットプレーンデータD21の符号化又は符号化データD11の復号化処理を行いながら当該符号化処理又は復号化処理の処理状況に応じてSIGプレーンデータD22、D30、REFプレーンデータD23、D31、DONEプレーンデータD24、D32を更新した後、SRAM52A、52B、111A、111Bに書き戻すようにして符号化処理及び復号化処理を行う。

【0276】

従って、この符号化装置42及び復号化装置100では、処理ビットプレーンデータD21の符号化又は符号化データd11を符号化処理又は復号化処理する際のSIGプレーンデータD22、D30、REFプレーンデータD23、D31、DONEプレーンデータD24、D32に対するアクセス性を向上させることができ、またこのようなパイプライン処理により処理の高速化を図ることができる。

【0277】

この場合において、この符号化装置40及び復号化装置100では、SPパス符号化処理等の符号化処理時や、SPパス復号化処理等の復号化処理時に処理ビットプレーン22の1ストライプカムラを構成する4画素を1サンプルとして当該サンプル単位で処理を行うようにしているため、これら符号化処理又は復号化処理を1画素単位で行う場合に比して格段的に処理を高速化することができる。實際上、データに依存性があるが、1画素単位で処理を行う場合に比べて楽観的には4倍、悲観的でも1倍の速度を確保することができる。

【0278】

またこの場合において、この符号化装置 40 及び復号化装置 101 では、符号化対象のコードブロックデータ D4 や一部が復号化されたコードブロックデータ D14 を記憶保持する DRAM41、102 をその外部に設け、符号化又は復号化に必要な一部のみをその内部の SRAM (ビットプレーンバッファ 51A、51B、116A、116B) に記憶保持するようにしているため、これら符号化対象のコードブロックデータ D4 や一部が復号化されたコードブロックデータ D14 に対するアクセス性も向上させることができ、また符号化装置 40 や復号化装置 101 の IC 化にも実用上十分に対応することができる。

【0279】

以上の構成によれば、SRAM52A、52B、111A、111B に記憶保持された SIG プレーンデータ D22、D30、REF プレーンデータ D23、D31、DONE プレーンデータ D24、D32 の中から必要な部分のみを順次 SP パス符号化処理部 61、MR パス符号化処理部 62、CU パス符号化処理部 63、SP パス復号化処理部 121、MR パス復号化処理部 122、CU パス復号化処理部 123 に順次読み込み、処理ビットプレーンデータ D21 の符号化又は符号化データ D11 の復号化処理を行いながら当該符号化処理又は復号化処理の処理状況に応じて SIG プレーンデータ D22、D30、REF プレーンデータ D23、D31、DONE プレーンデータ D24、D32 を更新した後、SRAM52A、52B、111A、111B に書き戻すようにして符号化処理及び復号化処理を行うようにしたことにより、処理ビットプレーンデータ D21 の符号化又は符号化データ d11 を符号化処理又は復号化処理する際の SIG プレーンデータ D22、D30、REF プレーンデータ D23、D31、DONE プレーンデータ D24、D32 に対するアクセス性を向上させることができ、またこのようなパイプライン処理により処理の高速化を図ることができ、かくして符号化処理及び復号化処理を高速化させ得る符号化装置及び復号化装置を実現できる。

【0280】

(3) 第 2 の実施の形態

(3-1) 第 2 の実施の形態による符号化装置の構成

図 20 との対応部分に同一符号を付して示す図 32 は、第 2 の実施の形態による EBCOT ブロック 160 を示す。この EBCOT ブロック 160 は、図 19 について上述した第 1 の実施の形態による符号化装置 40 の EBCOT ブロック 42 に代えて適用されるものであり、ビットモデル部 161 の構成が異なる点を除いて第 1 の実施の形態による EBCOT ブロック 42 と同様に構成されている。

【0281】

實際上、ビットモデル部 161 においては、図 21 に示す第 1 の実施の形態による EBCOT ブロック 42 のビットモデル部 54 と同じハードウェア構成を有する 1 ストライプ用ビットモデル部 162 と、バッファ 163 とから構成されている。そして 1 ストライプ用ビットモデル部 162 は、予め定められたコードブロックサイズに対応させて、処理ビットプレーン 22 (図 10) のストライプ数と同じ数だけ設けられている。

【0282】

このときこれら 1 ストライプ用ビットモデル部 162 には、それぞれ処理ビットプレーン 22 における互いに異なるストライプ 23 (図 33) が割り当てられている。そして、これら 1 ストライプ用ビットモデル部 162 は、図 33 に示すように、それぞれ割り当てられたストライプ 23 について、その内部の SP パス符号化処理部 61 (図 21)、MR パス符号化処理部 62 (図 21) 及び CU パス符号化処理部 63 (図 21) によって SP パス符号化処理、MR パス符号化処理及び CU パス符号化処理をそれぞれ一定の位相差を保ちながら並行して 1 ストライプ分だけ行うようになされている。

【0283】

具体的には、各 1 ストライプ用ビットモデル部 162 は、図 34 から明らかなように、それぞれ SP パス符号化処理部 61 による SP パス符号化処理から始めて、そのストライプ 23 における 8 番目のストライプカムラ 23A について SP パス符号化処理部 61 が SP パス符号化処理を開始するタイミングで同じストライプ 23 について MR パス符号化処理部 62 による MR パス処理を開始 (すなわち SP パス符号化処理から 8 ストライプカムラ分だけ位相を遅らせて MR パス

処理を開始) し、さらにそのストライプ 23 における 4 番目のストライプカムラ 23A について MR パス符号化処理部 62 が MR パス符号化処理を開始するタイミングで同じストライプ 23 について CU パス符号化処理部 63 による CU パス処理を開始 (すなわち MR パス処理から 4 ストライプカムラ分だけ位相を遅らせて CU パス処理を開始) する。

【0284】

なお、このような SP パス符号化処理部 61、MR パス符号化処理部 62 及び CU パス符号化処理部 63 による SP パス符号化処理、MR パス符号化処理及び CU パス符号化処理の位相差は、各 1 ストライプ用ビットモデル部 162 内の制御部 165 (図 21) により制御される。

【0285】

さらにビットモデル部 161 においては、当該ビットモデル部 161 全体の動作制御を司る図示しない制御部により、各 1 ストライプ用ビットモデル部 163 による CBM 処理の開始タイミングが制御される。

【0286】

具体的には、この図 33 に示すように、上段のストライプ 23 が割り当てられた 1 ストライプ用ビットモデル部 162 がそのストライプ 23 の 4 番目のストライプカムラ 23A に対する SP パス符号化処理を開始するタイミングで、次段のストライプ 23 が割り当てられた 1 ストライプ用ビットモデル部 162 が当該ストライプ 23 に対する SP パス符号化処理を開始するように、各 1 ストライプ用ビットモデル部 162 の CBM 処理 (SP パス符号化処理、MR パス符号化処理及び CU パス符号化処理) の開始タイミングが制御される。

【0287】

一方、これら 1 ストライプ用ビットモデル部 162 からそれぞれ出力される CBM 処理により得られた各シンボル SB からなるシンボルデータ D40 及び各コンテキスト CX からなるコンテキストデータ D41 は、それぞれ後段のバッファ 163 に与えられる。このとき各 1 ストライプ用ビットモデル部 162 は、それぞれ SP パス符号化処理、MR パス符号化処理及び CU パス符号化処理により得られた処理ビットプレーンデータ D42 及びコンテキストデータ D40 を、それ

ぞれバッファ 1 6 3 内の S P パス符号化処理用、M R パス符号化処理用又は C U パス符号化処理用の記憶領域に格納する。

【 0 2 8 8 】

この結果、これら 1 ストライプ用ビットモデル部 1 6 3 からそれぞれ出力されたシンボルデータ D 4 0 及びコンテキストデータ D 4 1 が、S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理ごとにその順番で、かつ同じ S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理内では処理ビットプレーン 2 2 におけるストライプ 2 3 の順番でまとめられてバッファ 1 6 3 に保持される。そしてこのバッファ 1 6 3 に記憶保持されたシンボルデータ D 4 0 及びコンテキストデータ D 4 1 は、この後その順番で算術符号化部 5 5 により順次読み出される。

【 0 2 8 9 】

このようにしてこの E B C O T ブロック 1 6 0 においては、C B M 処理を S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理ごとに並行して、かつ S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理についてもストライプ 2 3 ごとに並行して行い得るようになされている。

【 0 2 9 0 】

(3 - 2) 第 2 の実施の形態の動作及び効果

以上の構成において、この第 2 の実施の形態による E B C O T ブロック 1 6 0 では、C B M 処理を S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理ごとに並行して、かつ S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理についてもストライプ 2 3 ごとに並行して行う。

【 0 2 9 1 】

従って、この第 2 の実施の形態による E B C O T ブロック 1 6 0 では、第 1 の実施の形態による符号化装置 4 0 (図 1 9) に搭載された E B C O T ブロック 4 2 に比べてより一層と高速に C B M 処理を行うことができる。

【 0 2 9 2 】

實際上、例えばビットプレーンサイズが 3 2 画素 × 3 2 画素の場合は、第 1 の実施の形態による符号化装置 4 0 に搭載された E B C O T ブロック 4 2 と比べて

も、約 $2/24 (= (1+1)/8 \times 3)$ にまで処理速度を低減することができる。

【0293】

以上の構成によれば、CBM処理をSPパス符号化処理、MRパス符号化処理及びCUパス符号化処理ごとに並行して、かつSPパス符号化処理、MRパス符号化処理及びCUパス符号化処理についてもストライプ23ごとに並行して行うようにしたことにより、より一層と高速にCBM処理を行い得る符号化装置を実現できる。

【0294】

(4) 他の実施の形態

なお上述の第1及び第2の実施の形態においては、本発明をJPG2000規格に準拠した符号化装置40(図19)又は復号化装置100(図27)に適用するようにした場合について述べたが、本発明はこれに限らず、他の画像フォーマットに準拠した符号化装置や復号化装置にも適用でき、要は、画像情報を取り扱うこの他種々の符号化装置、復号化装置及び画像情報処理システム等に広く適用することができる。

【0295】

また上述の第1及び第2の実施の形態においては、符号化又は復号化対象の画像情報である処理ビットプレーンデータD21又は符号化データD11を記憶する記憶手段としてSRAM(ビットプレーンバッファ51A、51B(図20)、又はストリームバッファ110A、110B(図27)及びビットプレーンバッファ116A、116B(図27))を適用するようにした場合について述べたが、本発明はこれに限らず、この他種々の記憶媒体を広く適用することができる。

【0296】

同様に、上述の第1及び第2の実施の形態においては、ビットモデル部54、161やビットデモデル部114が処理ビットプレーンデータD21や符号化データD11に対して符号化又は復号化処理を施す際に当該符号化又は復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報であ

るSIGプレーンデータD22、D30、REFプレーンデータD23、D31、DONEプレーンデータD24、D32を記憶する記憶手段としてSRAM52A、52B、111A、111Bを適用するようにした場合について述べたが、本発明はこれに限らず、SRAM以外のメモリや、メモリ以外のハードディスク等のディスク状記憶媒体など、この他種々の記憶媒体を広く適用することができる。

【0297】

さらに上述の第1及び第2の実施の形態においては、ビットプレーンバッファ51A、51Bに記憶された処理ビットプレーンデータD21に対して符号化処理を施す符号化手段としてのビットモデル部54（図20）、161（図32）を図21のように構成するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成を広く適用することができる。

【0298】

この場合において、上述の第1の実施の形態においては、SPパス符号化処理、MRパス符号化処理及びCUパス符号化処理にそれぞれ対応させてビットモデル部54にSPパス符号化処理部61、MRパス符号化処理部62及びCUパス符号化処理部63を設けるようにした場合について述べたが、本発明はこれに限らず、これらSPパス符号化処理、MRパス符号化処理及びCUパス符号化処理を行い得る1つのコーディングパス処理部によりビットモデル部54を構成するようにしても良い。

【0299】

同様に、上述の第2の実施の形態においては、入力する符号化された画像情報でなる符号化画像情報としての符号化データD11に対して復号化処理を施す復号化手段としてのビットデモデル部114（図27）を図28のように構成するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成を広く適用することができる。

【0300】

この場合において、上述の第1の実施の形態においては、SPパス復号化処理、MRパス復号化処理及びCUパス復号化処理にそれぞれ対応させてビットデモデ

ル部 114 に S P パス復号化処理部 121、MR パス復号化処理部 122 及び C U パス復号化処理部 123 を設けるようにした場合について述べたが、本発明はこれに限らず、これら S P パス復号化処理、MR パス復号化処理及び C U パス復号化処理を行い得る 1 つのコーディングパス処理部によりビットデモデル部 114 を構成するようにしても良い。

【0301】

さらに上述の第 1 及び第 2 の実施の形態においては、ビットモデル部 54 (図 21) の S P パス符号化処理部 61 等や、ビットデモデル部 114 (図 28) の S P パス復号化処理部 121 等及びビットモデル部 161 (図 32) の各 1 ストライプ用ビットモデル部 162 が 1 ストライプカムラを構成する 4 画素を単位として S P パス符号化処理等や S P パス復号化処理等を行うようにした場合について述べたが、本発明はこれに限らず、かかる S P パス符号化処理等や S P パス復号化処理等を、1 ストライプカムラを構成する 4 画素以外の複数画素を単位として行うようにしても良い。

【0302】

さらに上述の第 1 及び第 2 の実施の形態においては、ビットモデル部 54、161 又はビットデモデル部 114 において、ビットプレーンバッファ 51A、51B 又はビットプレーンバッファ 116A、116B から読み出した処理ビットプレーンデータ D21、D35 を一時記憶する一時記憶手段と、S R A M 52A、52B、111A、111B から読み出した S I G プレーンデータ D22、D30、R E F プレーンデータ D23、D31、D O N E プレーンデータ D24、D32 とを一時記憶する一時記憶手段とを、それぞれシフトレジスタ 70A~74A、80A~84A、90A~94A、130A~134A、140A~144A、150A~154A により構成するようにした場合について述べたが、本発明はこれに限らず、この他種々のタイプの記憶媒体を広く適用することができる。

【0303】

さらに上述の第 1 及び第 2 の実施の形態においては、全体として I C 化された符号化装置 40 や復号化装置 100 の当該 I C の外部に外部記憶手段としての D

RAM41 (図19)、102 (図26) を設け、IC内部の信号処理部である量子化部4 (図19) やEBCOTブロック101 (図26) から出力されるコードブロックデータD4 (図19)、D14 (図26) を当該DRAM41、102に格納するようにする場合について述べたが、本発明はこれに限らず、外部記憶手段としてはDRAM以外のメモリやメモリ以外の他の外部記憶媒体を広く適用することができる。

【0304】

さらに上述の第1実施の形態においては、ビットモデル部54 (図21) 内部にSPパス符号化処理部61、MRパス符号化処理部62及びCUパス符号化処理部63をそれぞれ1つずつ設けるようにした場合について述べたが、本発明はこれに限らず、ビットモデル部54内部にSPパス符号化処理部61、MRパス符号化処理部62及びCUパス符号化処理部63をそれぞれ複数個ずつ設け、SPパス符号化処理時にはこれら複数個のSPパス符号化処理部61によりSPパス符号化処理を並行して行い、MRパス符号化処理時にはこれら複数個のMRパス符号化処理部62によりMRパス符号化処理を並行して行い、CUパス符号化処理時にはこれら複数個のCUパス符号化処理部63によりCUパス符号化処理を並行して行うようにしても良い。

【0305】

この場合において、SPパス符号化処理時における各SPパス符号化処理部61によるSPパス符号化処理の位相差、MRパス符号化処理時における各MRパス符号化処理部62によるMRパス符号化処理の位相差、CUパス符号化処理時における各CUパス符号化処理部63によるCUパス符号化処理の位相差としては、例えば図36に示すように、処理ビットプレーン22における上段のストライプ23についてSPパス符号化処理等を行うSPパス符号化処理部61等に対して、その次の段のストライプ22についてSPパス符号化処理等を行うSPパス符号化処理部61等が少なくとも2ストライプカムラ分だけ遅れた位相をもってSPパス符号化処理等を行うようにすれば良い。

【0306】

またSIGプレーンデータD22 (図21) 等のSRAM52A、52B (図

21) からの読み書きを考慮した場合には、例えば図37に示すように、処理ビットプレーン22における上段のストライプ23についてSPパス符号化処理等を行うSPパス符号化処理部61等に対して、その次の段のストライプ22についてSPパス符号化処理等を行うSPパス符号化処理部61等が5ストライプカムラ分だけ遅れた位相をもってSPパス符号化処理等を行うようにすれば良く、このようにSPパス符号化処理等を並行して行う場合における各SPパス符号化処理部61等の処理タイミング（各SPパス符号化処理部61等がそれぞれSPパス符号化処理等を行う際の位相差）としては、この他種々の処理タイミングを広く適用することができる。

【0307】

さらに上述の第2の実施の形態においては、ビットモデル部161（図32）におけるSPパス符号化処理、MRパス符号化処理及びCUパス符号化処理の位相差を図33のようにする場合について述べたが、本発明はこれに限らず、例えば図34に示すように、SPパス符号化処理に対してMRパス符号化処理を1ストライプと4ストライプカムラ分だけ遅延させると共に、当該MRパス符号化処理に対してCUパス符号化処理を4ストライプカムラ分だけ遅延させるようにしても良い。

【0308】

またこれ以外であっても、例えば図35に示すように、SPパス符号化処理に対してMRパス符号化処理を1ストライプと2ストライプカムラ分だけ遅延させると共に、当該MRパス符号化処理に対してCUパス符号化処理を1ストライプカムラ分だけ遅延させるようにしても良く、これらSPパス符号化処理、MRパス符号化処理及びCUパス符号化処理を並行して行う場合におけるこれらSPパス符号化処理、MRパス符号化処理及びCUパス符号化処理の位相差としては、この他の位相差を広く適用することができる。

【0309】

さらに上述の第2の実施の形態においては、1ストライプ用ビットモデル部162（図32）を処理ビットプレーン22（図10）のストライプ数と同じ数だけ設けるようにした場合について述べたが、本発明はこれに限らず、要は、SP

パス符号化処理、MRパス符号化処理及びCUパス符号化処理を並行して行い得るようにするのであれば、処理ビットプレーン22のストライプ23以外の数と異なる数の1ストライプ用ビットモデル部162を設けるようにしても良い。

【0310】

【発明の効果】

以上のように本発明によれば、入力する画像情報を符号化する符号化装置において、画像情報に対して所定の符号化処理を施す符号化手段と、符号化手段が画像情報に対して符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1の記憶手段とを設け、符号化手段が、第1の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにしたことにより、画像情報を符号化処理する際の状態量情報に対するアクセス性を向上させることができ、かくして符号化処理を高速化させ得る符号化装置を実現できる。

【0311】

また本発明によれば、入力する画像情報を符号化する符号化方法において、画像情報に対して所定の符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第1の記憶手段に記憶させる第1のステップと、画像情報に対して符号化処理を施す第2のステップとを設け、第2のステップでは、第1の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにしたことにより、画像情報を符号化処理する際の状態量情報に対するアクセス性を向上させることができ、かくして符号化処理を高速化させ得る符号化方法を実現できる。

【0312】

さらに本発明によれば、入力する符号化された画像情報でなる符号化画像情報を復号化する復号化装置において、符号化画像情報に対して所定の復号化処理を

施す復号化手段と、復号化手段が符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1の記憶手段とを設け、復号化手段が、第1の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにしたことにより、画像情報を復号化処理する際の状態量情報に対するアクセス性を向上させることができ、かくして復号化処理を高速化させ得る復号化装置を実現できる。

【0313】

さらに本発明によれば、入力する符号化された画像情報でなる符号化画像情報を復号化する復号化方法において、符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1のステップと、符号化画像情報に対して所定の復号化処理を施す第2のステップとを設け、第2のステップでは、第1の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにしたことにより、画像情報を復号化処理する際の状態量情報に対するアクセス性を向上させることができ、かくして復号化処理を高速化させ得る復号化方法を実現できる。

【0314】

さらに本発明によれば、入力する画像情報に対して複数種類の所定の符号化処理を順番に施す符号化装置において、各種類の符号化処理にそれぞれ対応させて設けられた複数の符号化処理手段を設け、画像情報に対する複数種類の符号化処理を、それぞれ対応する符号化処理手段により、それぞれ先行する符号化処理と当該符号化処理の内容に応じた所定の第1の位相差をもって並行して行うようにしたことにより、画像情報に対する符号化処理を、各種類の符号化処理を順番に別個独立に行う場合に比して格段的に高速に行うことができ、かくして符号化処理を高速化させ得る符号化装置を実現できる。

【0315】

さらに本発明によれば、入力する画像情報に対して複数種類の所定の符号化処理を順番に施す符号化方法において、画像情報に対する複数種類の符号化処理を、それぞれ先行する符号化処理と当該符号化処理の内容に応じた所定の第1の位相差をもって並行して行う符号化ステップを設けるようにしたことにより、画像情報に対する符号化処理を、各種類の符号化処理を順番に別個独立に行う場合に比して格段的に高速に行うことができ、かくして符号化処理を高速化させ得る符号化方法を実現できる。

【0316】

さらに本発明によれば、画像情報を符号化する符号化装置と、当該符号化された画像情報を復号化する復号化装置とを有する画像情報処理システムにおいて、符号化装置に、画像情報に対して所定の符号化処理を施す符号化手段と、符号化手段が画像情報に対して符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1の記憶手段とを設け、符号化手段が、第1の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻し、復号化装置に、符号化画像情報に対して所定の復号化処理を施す復号化手段と、復号化手段が符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1の記憶手段とを設け、復号化手段が、第1の記憶手段に記憶された状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにしたことにより、画像情報を符号化処理又は復号化処理する際の状態量情報に対するアクセス性を向上させることができ、かくして符号化処理及び復号化処理を高速化させ得る画像情報処理システムを実現できる。

【0317】

さらに本発明によれば、画像情報を符号化する符号化ステップと、当該符号化された画像情報を復号化する復号化ステップとを有する画像情報処理方法におい

て、符号化ステップに、画像情報に対して所定の符号化処理を施す際に当該符号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を第1の記憶手段に記憶させる第1のステップと、画像情報に対して符号化処理を施す第2のステップとを設け、第2のステップでは、第1の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻し、復号化ステップに、符号化画像情報に対して復号化処理を施す際に当該復号化処理の処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第1のステップと、符号化画像情報に対して所定の復号化処理を施す第2のステップとを設け、第2のステップでは、第1の記憶手段に記憶させた状態量情報のうちの必要な一部のみを当該第1の記憶手段から読み出し、当該状態量情報を符号化画像情報に対する復号化処理の処理状況に応じて変更した後、第1の記憶手段に書き戻すようにしたことにより、画像情報を符号化処理又は復号化処理する際の状態量情報に対するアクセス性を向上させることができ、かくして符号化処理及び復号化処理を高速化させ得る画像情報処理方法を実現できる。

【図面の簡単な説明】

【図1】

コードブロックとビットプレーンの説明に供する概念図である。

【図2】

コードブロックサイズの説明に供する概念図である。

【図3】

コードブロックサイズの説明に供する概念図である。

【図4】

コードブロック内のビットプレーンの説明に供する概念図である。

【図5】

ビットプレーン内スキャン順序の説明に供する概念図である。

【図6】

ビットプレーン内スキャン順序の説明に供する概念図である。

【図 7】

ビットプレーン内スキャン順序の説明に供する概念図である。

【図 8】

ビットプレーン内スキャン順序の説明に供する概念図である。

【図 9】

ビットプレーン内スキャン順序の説明に供する概念図である。

【図 1 0】

各種状態量記録用プレーンの説明に供する概念図である。

【図 1 1】

S P パスの説明に供する概念図である。

【図 1 2】

S P パスの説明に供する概念図である。

【図 1 3】

S P パスにおけるコンテキストエンコーディング規則の説明に供する概念図である。

【図 1 4】

S P パスにおける正負符号のコンテキストエンコーディング規則の説明に供する概念図である。

【図 1 5】

M R パスの説明に供する概念図である。

【図 1 6】

M R パスにおけるコンテキストエンコーディング規則の説明に供する概念図である。

【図 1 7】

C U パスの説明に供する概念図である。

【図 1 8】

uniform のコンテキストエンコーディング規則の説明に供する概念図である。

。

【図 1 9】

第 1 の実施の形態による J P E G 2 0 0 0 符号化装置の構成を示すブロック図である。

【図 2 0】

図 1 9 に示す符号化装置における E B C O T ブロックの構成を示すブロック図である。

【図 2 1】

図 2 0 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図 2 2】

本実施の形態によるビットプレーンアクセスの説明に供する概念図である。

【図 2 3】

符号化装置における S P パス符号化処理部の概略構成を示すブロック図である。

【図 2 4】

符号化装置における M R パス符号化処理部の概略構成を示すブロック図である。

【図 2 5】

符号化装置における C U パス符号化処理部の概略構成を示すブロック図である。

【図 2 6】

第 1 の実施の形態による J P E G 2 0 0 0 復号化装置の構成を示すブロック図である。

【図 2 7】

図 2 6 に示す復号化装置における E B C O T ブロックの構成を示すブロック図である。

【図 2 8】

図 2 7 に示す E B C O T ブロックにおけるビットデモデル部の構成を示すブロック図である。

【図 2 9】

復号化装置における S P パス復号化処理部の概略構成を示すブロック図である

。

【図 3 0】

復号化装置における M R パス復号化処理部の概略構成を示すブロック図である

。

【図 3 1】

復号化装置における C U パス復号化処理部の概略構成を示すブロック図である

。

【図 3 2】

第 2 の実施の形態による符号化装置の E B C O T ブロックの構成を示すブロック図である。

【図 3 3】

第 2 の実施の形態における S P パス符号化処理、M R パス符号化処理及び C U パス符号化処理の位相差の説明に供する概念図である。

【図 3 4】

他の実施の形態の説明に供する概念図である。

【図 3 5】

他の実施の形態の説明に供する概念図である。

【図 3 6】

他の実施の形態の説明に供する概念図である。

【図 3 7】

他の実施の形態の説明に供する概念図である。

【図 3 8】

従来の J P E G 2 0 0 0 符号化装置の構成を示すブロック図である。

【図 3 9】

ウェーブレット変換の説明に供する概念図である。

【図 4 0】

従来の J P E G 2 0 0 0 復号化装置の構成を示すブロック図である。

【符号の説明】

22……ビットプレーン、23……ストライプ、23A……ストライプカムラ、30……正負符号プレーン、31……SIGプレーン、32……REFプレーン、33……DONEプレーン、40……符号化装置、41、102……DRAM、42、101、160、170……EBCOTブロック、50、115……正負符号プレーンバッファ、51A、51B、116A、116B……ビットプレーンバッファ、52A、52B、111A、111B……SRAM、54、161……ビットモデル部、55……算術符号化部、61……SPパス符号化処理部、62……MRパス符号化処理部、63……CUパス符号化処理部、65、76、86、96、125、136、146、156、164……制御部、70A～74A、80A～85A、90A～95A、130A～135A、140A～145A、150A～155A……レジスタ、100……復号化装置、113……算術復号化部、114……ビットデモデル部、121……SPパス復号化処理部、122……MRパス復号化処理部、123……CUパス復号化処理部、162……1ストライプ用ビットモデル部、163……バッファ、D4……コードブロックデータ、D11……符号化データ、D20、D36……正負符号プレーンデータ、D21、D35……処理ビットプレーンデータ、D22、D30……SIGプレーンデータ、D23、D31……REFプレーンデータ、D24、D32……DONEプレーンデータ、D26、D34、D40……シンボルデータ、D27、D33、D41……コンテキストデータ。

【書類名】 図面

【図 1】

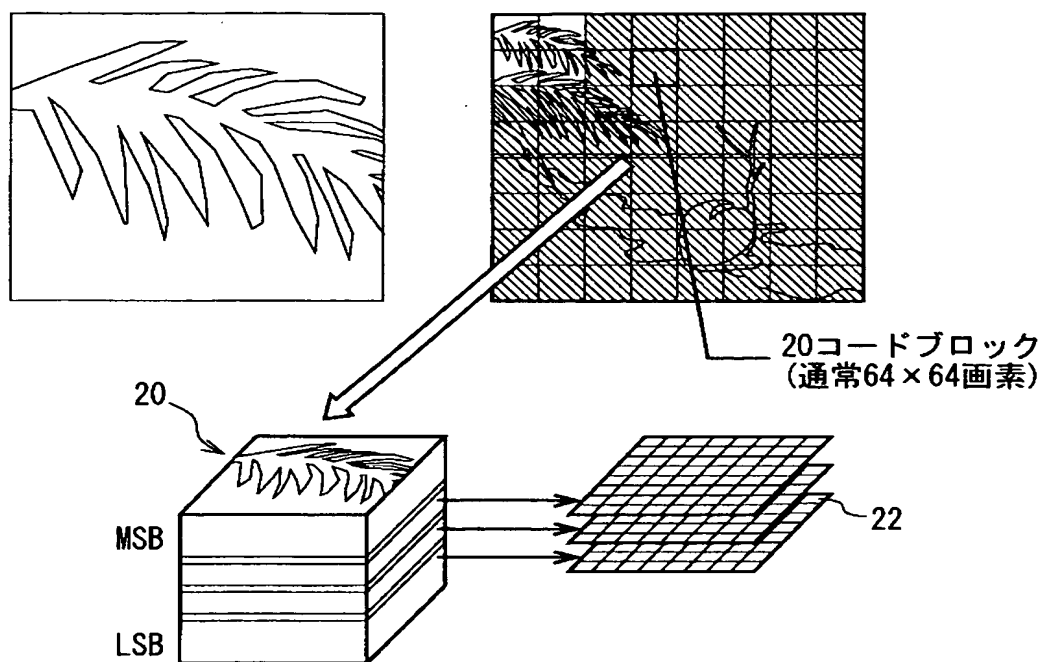
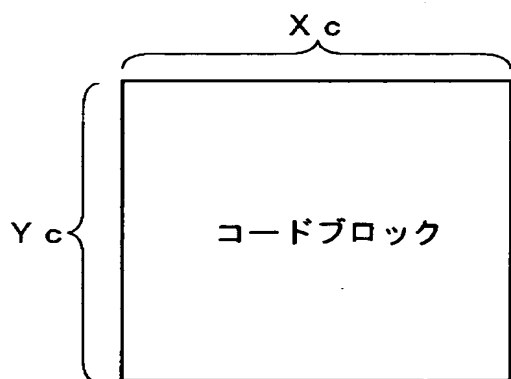


図 1 コードブロックとビットプレーン

【図 2】



- ・ X_c 、 Y_c は 2 のべき乗
- ・ $4 \leq X_c \leq 1024$ 、 $4 \leq Y_c \leq 1024$
- ・ $X_c \times Y_c \leq 4096$

図 2 コードブロックのサイズ (1)

【図 3】

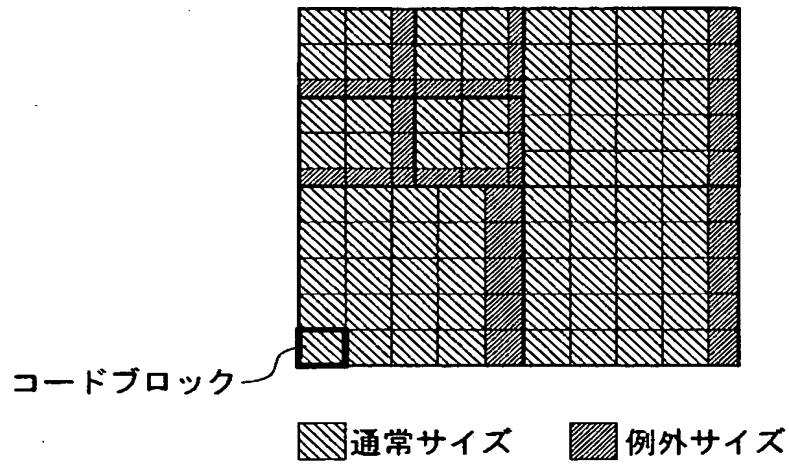


図 3 コードブロックのサイズ (2)

【図 4】

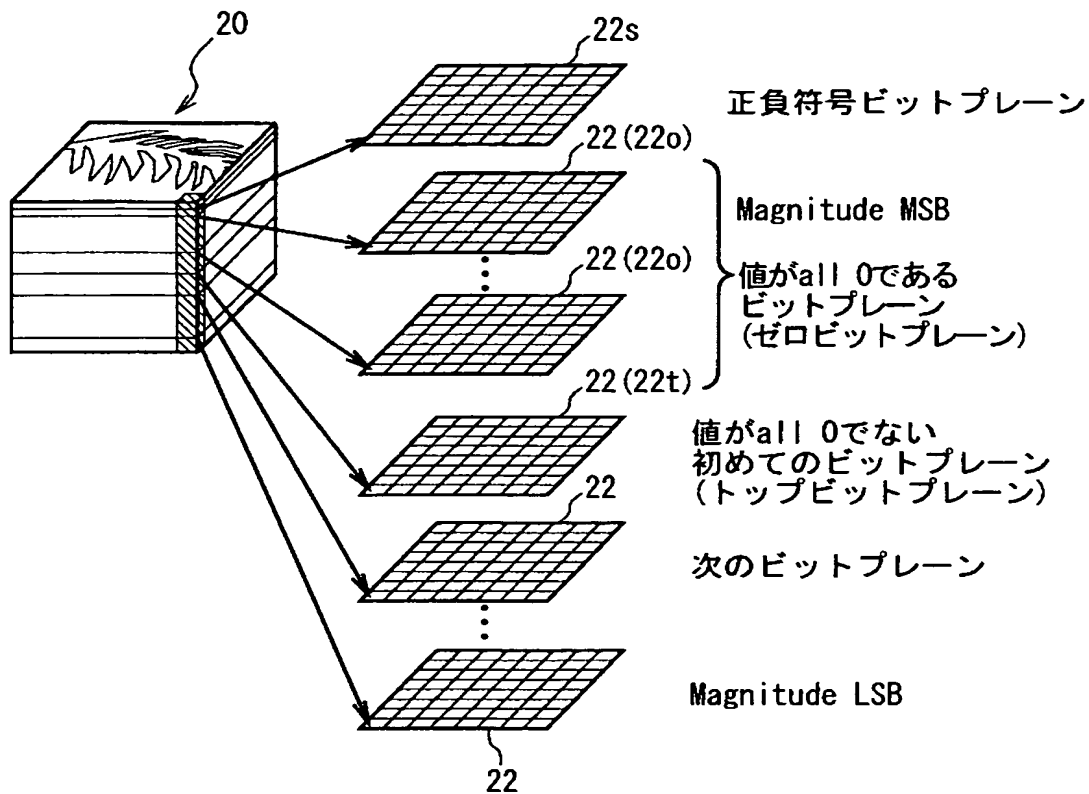


図 4 コードブロック内のビットプレーン

【図 5】

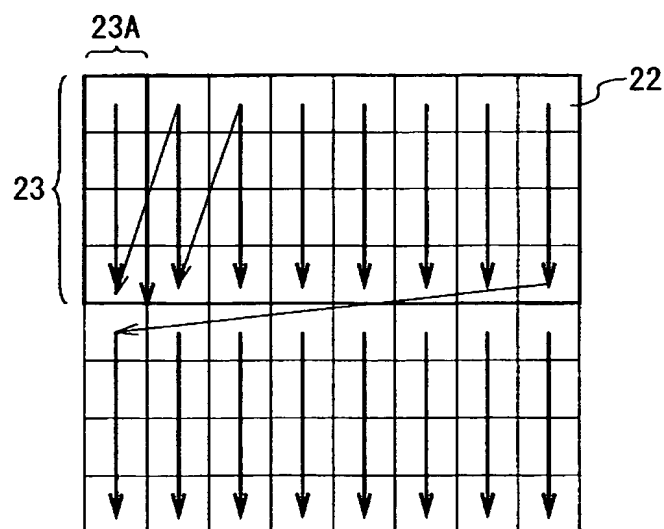


図 5 ビットプレーン内スキャン順序

【図 6】

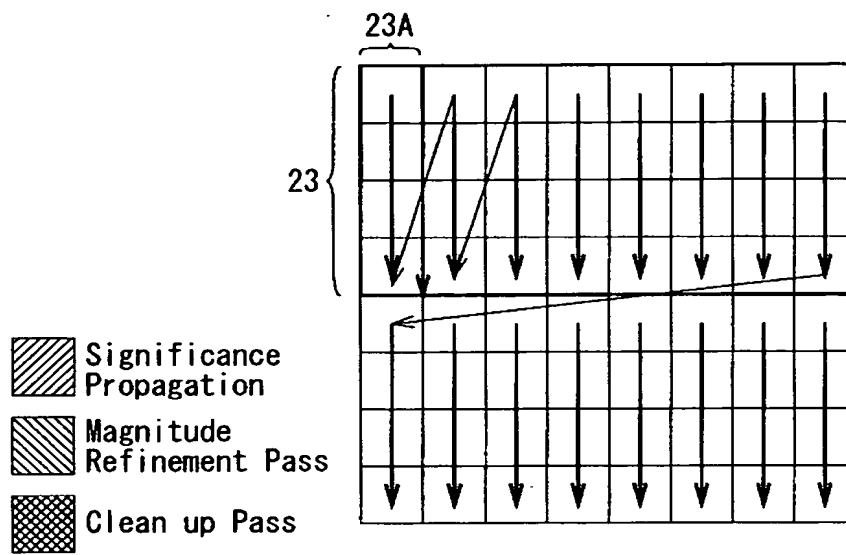


図 6 ビットプレーン内スキャン (1)

【図 7】

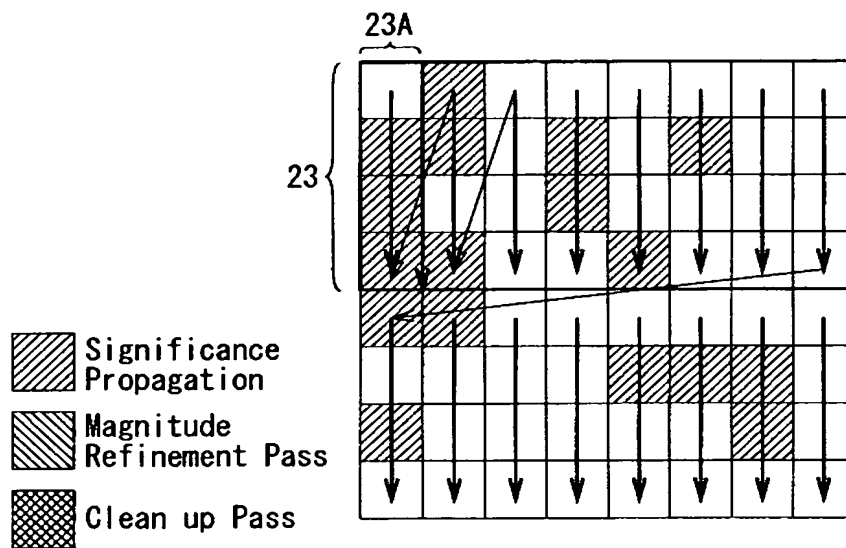


図 7 ビットプレーン内スキャン (2)

【図 8】

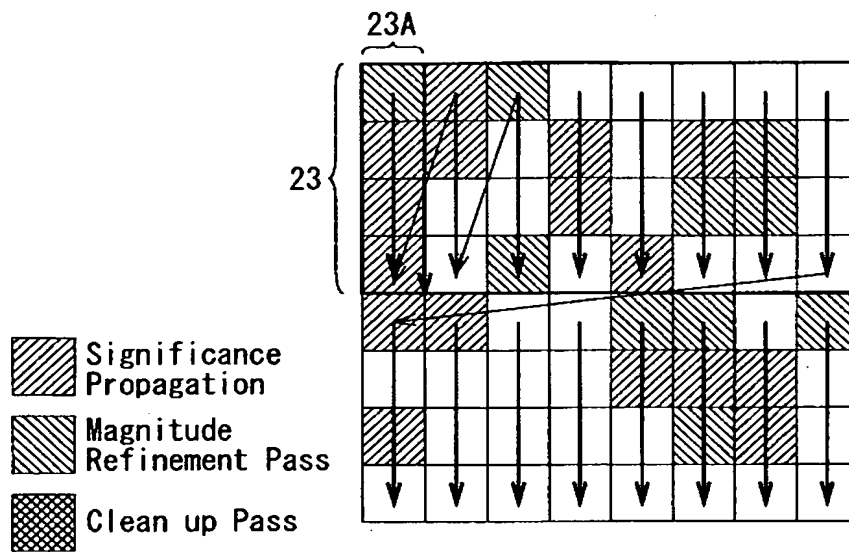


図 8 ビットプレーン内スキャン (3)

【図 9】

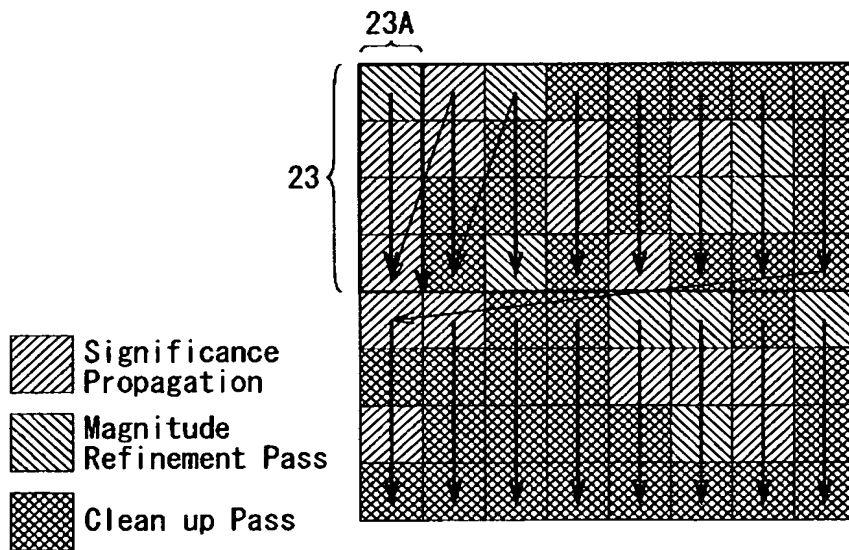


図 9 ビットプレーン内スキャン (4)

【図 10】

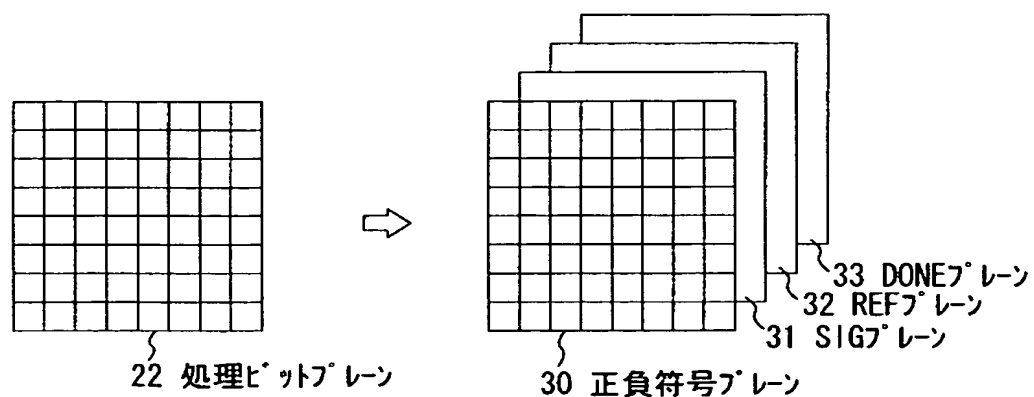


図 10 各種状態量記録用プレーン

【図 11】

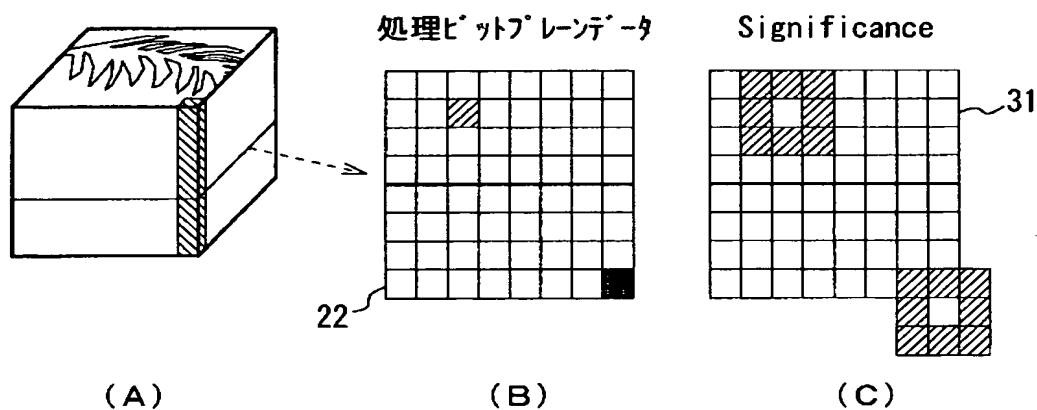
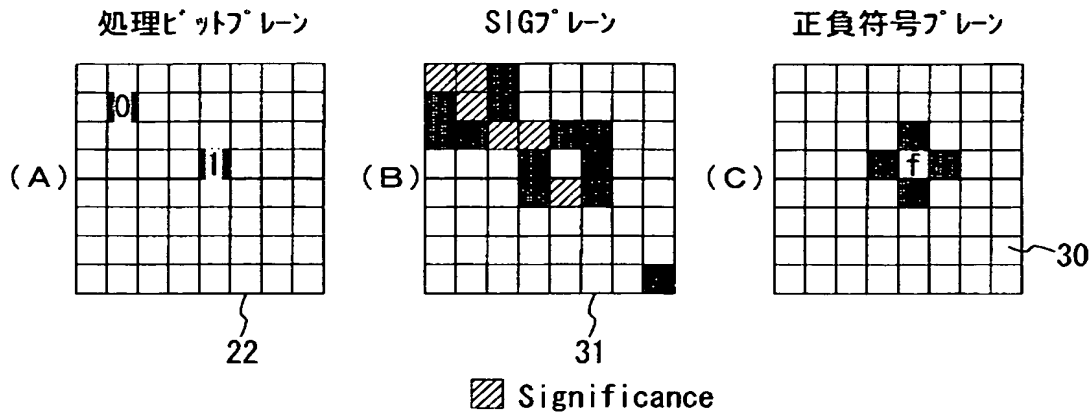


図 11 Significanceの8近傍参照

【図 1 2】



条件	Context	Symbol
(D) 自身はinsignificantで近傍にSignificantが存在する、データは0	Cx	0
自身はinsignificantで近傍にSignificantが存在する、データは1	Cx	1
1のデータでSignificantに変化続いて符号のビットがM比	Sign cx	f

図 1 2 SPパスの処理

【図 1 3】

LL or LH成分			HL成分			HH成分		CX	ビット
ΣH	ΣV	ΣD	ΣH	ΣV	ΣD	$\Sigma H + \Sigma V$	ΣD		
2	-	-	-	2	-	-	≥ 3	8	X
1	≥ 1	1	≥ 1	1	-	≥ 1	2	7	
1	0	≥ 1	0	1	≥ 1	0	2	6	
1	0	0	0	1	0	≥ 2	1	5	
0	2	-	2	0	-	1	1	4	
0	1	-	1	0	-	0	1	3	
0	0	≥ 2	0	0	≥ 2	≥ 2	0	2	
0	0	1	0	0	1	1	0	1	
0	0	0	0	0	0	0	0	0	

図 1 3 SPパスのコンテキストエンコーディングルール

【図 1 4】

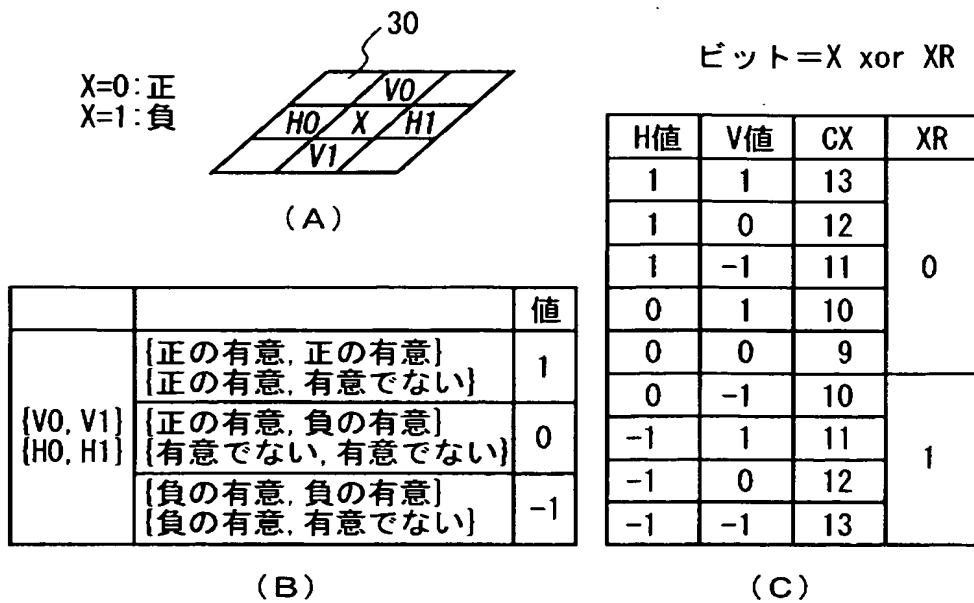


図 1 4 正負符号のコンテキストエンコーディングルール

【図 1 5】

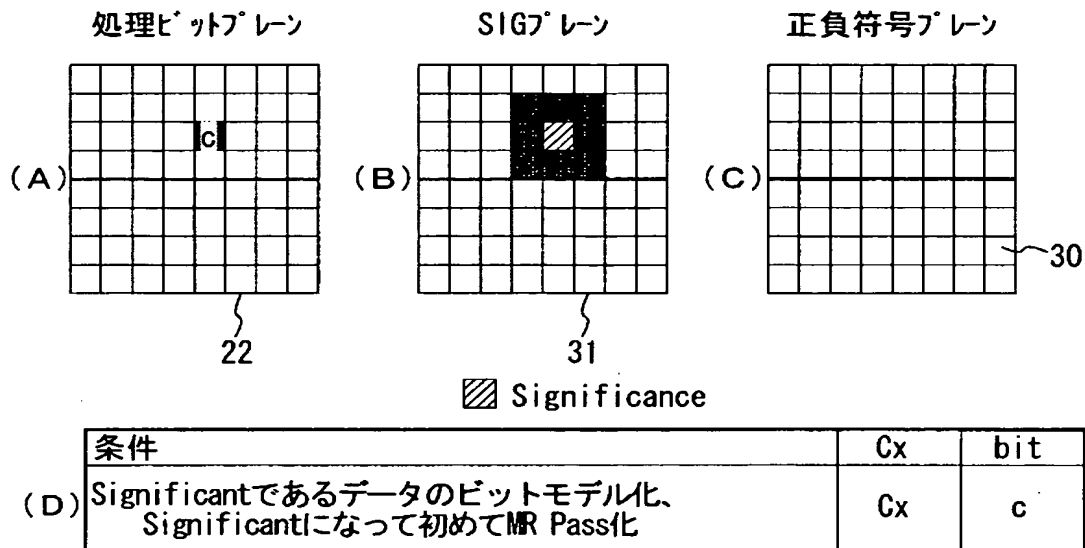


図 1 5 MSパスの処理

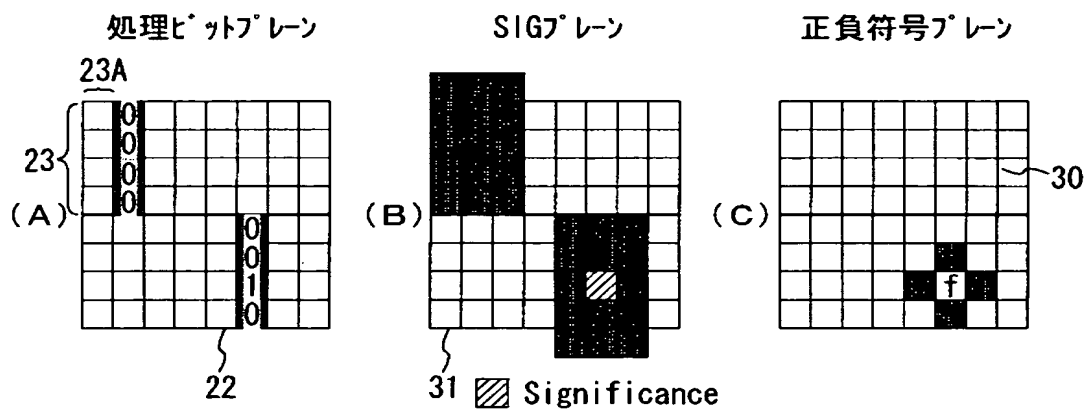
【図 16】

$\Sigma H + \Sigma V + \Sigma D$	該当係数を最初に 本パスで符号化	Cx	ビット
Don't care	No	16	X
≥ 1	Yes	15	
$= 0$	Yes	14	

(B)	<table border="1"> <tr> <td>D0</td><td>V0</td><td>D1</td></tr> <tr> <td>H0</td><td></td><td>H1</td></tr> <tr> <td>D2</td><td>V1</td><td>D3</td></tr> </table>	D0	V0	D1	H0		H1	D2	V1	D3	ΣD はD0-3の中で 有意である個数
D0	V0	D1									
H0		H1									
D2	V1	D3									

図 16 MRパスのコンテキストエンコーディングルール

【図 17】



条件	Cx	bit
ストライプのデータがすべて0、かつ対応する近傍がすべてSignificantでない	run	c
(D) ストライプのデータが少なくともひとつ1、近傍にSignificantがない 1のデータでSignificantとなる それ以降はSP PASSと同様な処理を行う	run	c
	uniform	c
	uniform	c
	Sign CX	f
	CX	0

図 17 CUパスの処理

【図 18】

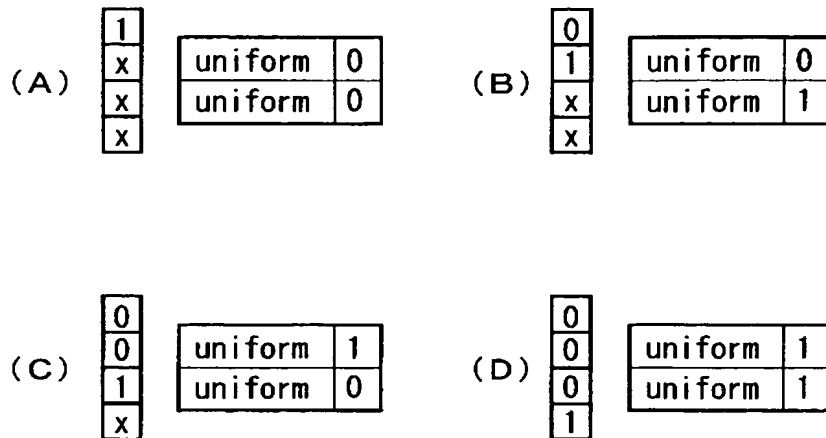


図 18 uniformのコンテキストエンコーディングルール

【図 19】

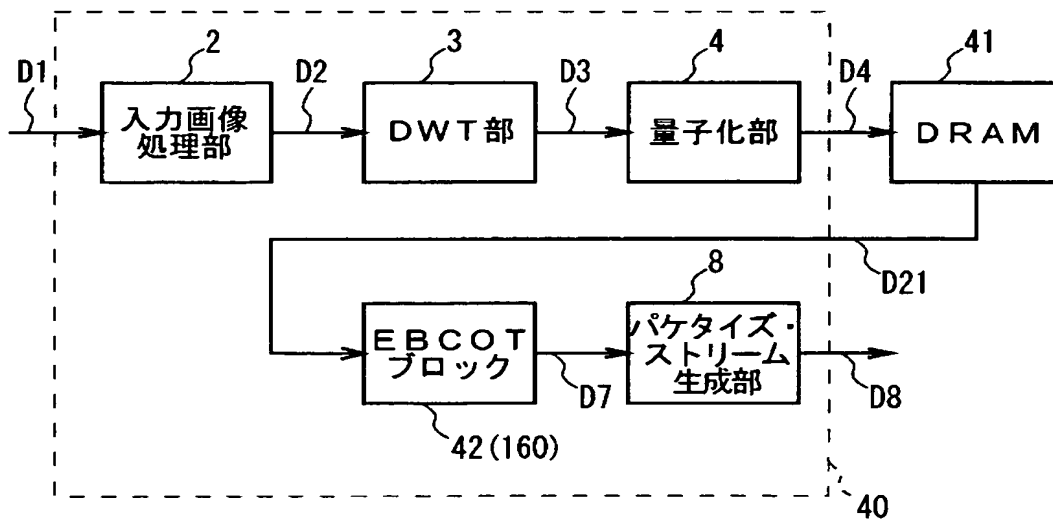


図 19 第 1 の形態による J P E G 2 0 0 0
符号化装置の構成

【図 20】

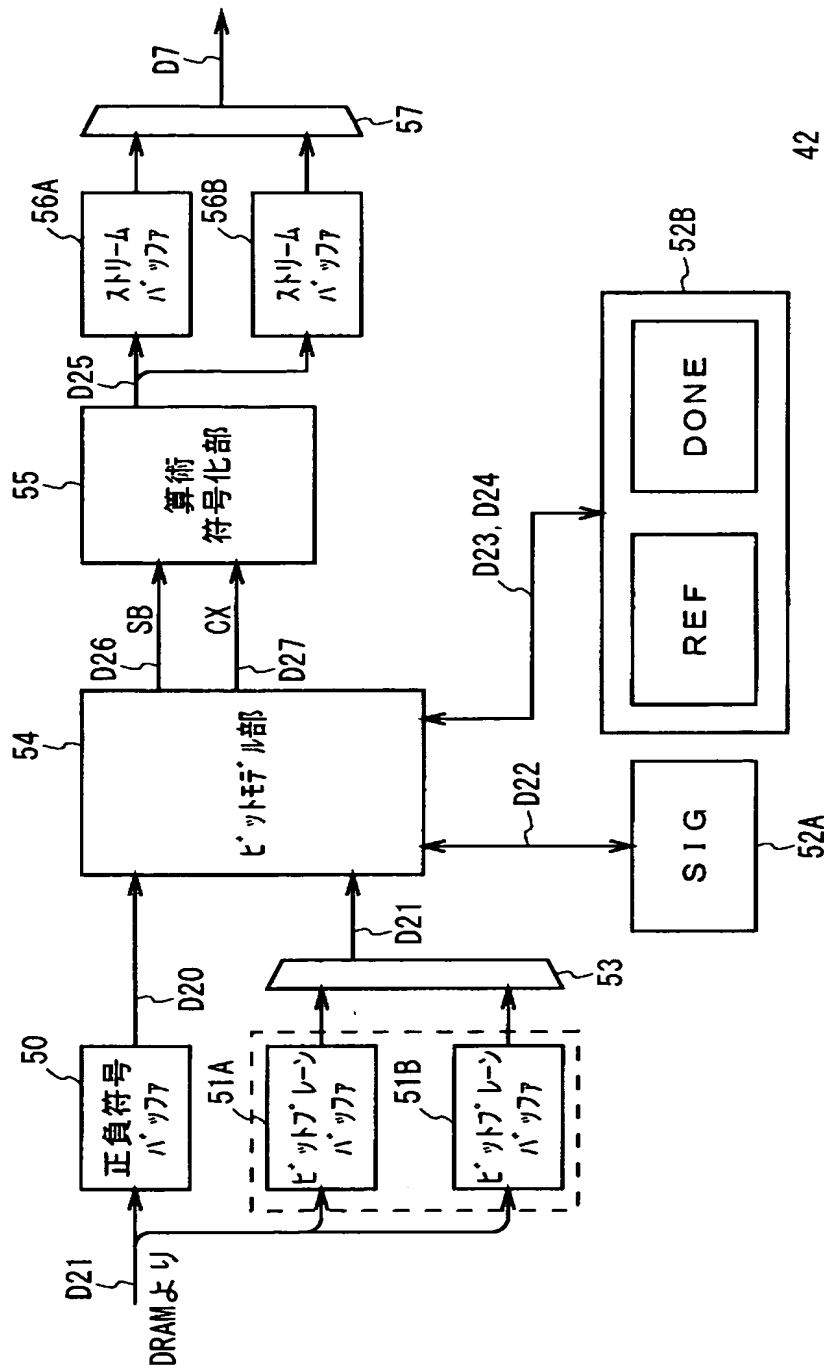


図 20 第 1 の実施の形態による符号化装置の EBCOT ブロック部の構成

【図 21】

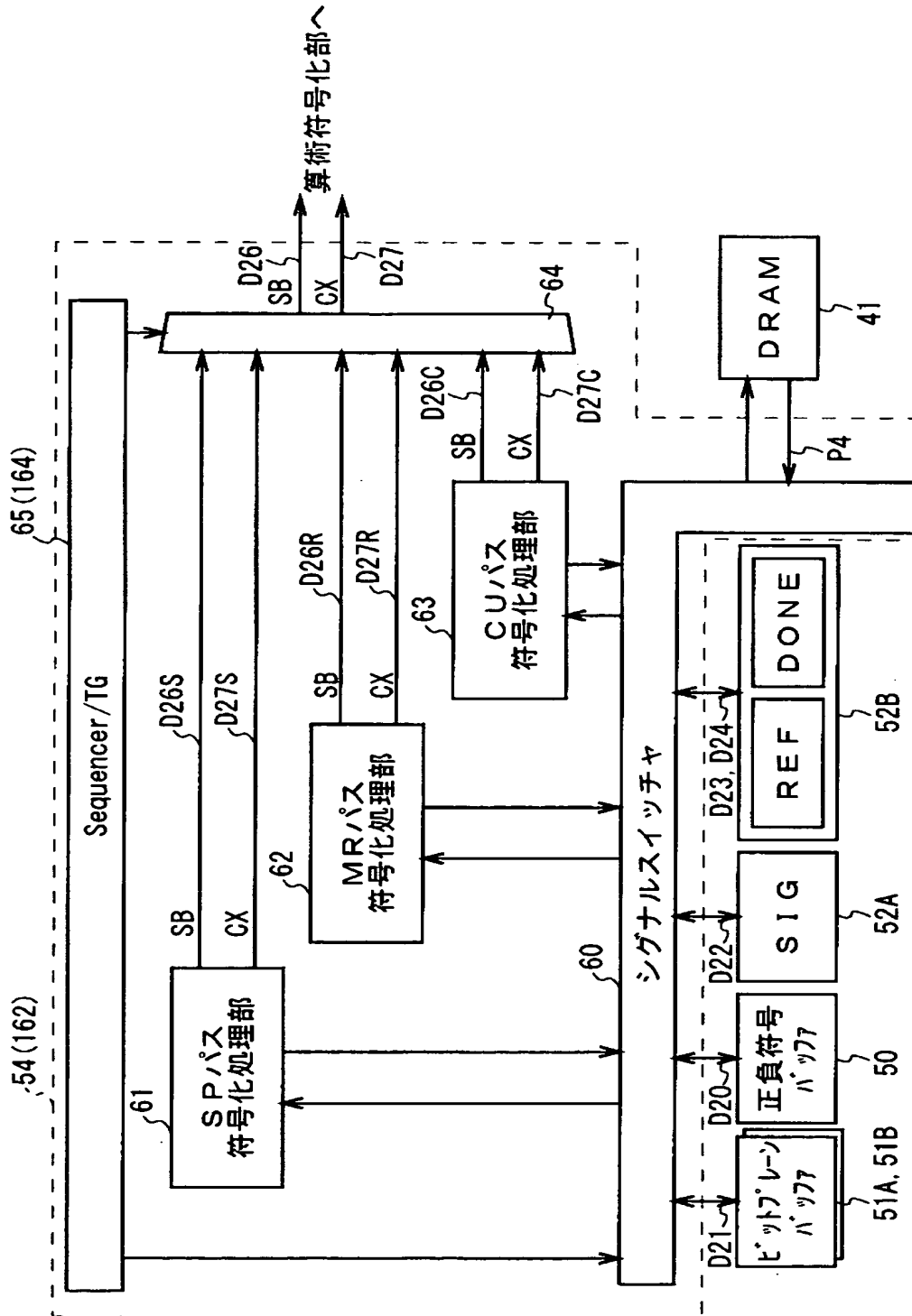


図 21 ビットモデル部の構成

【図 22】

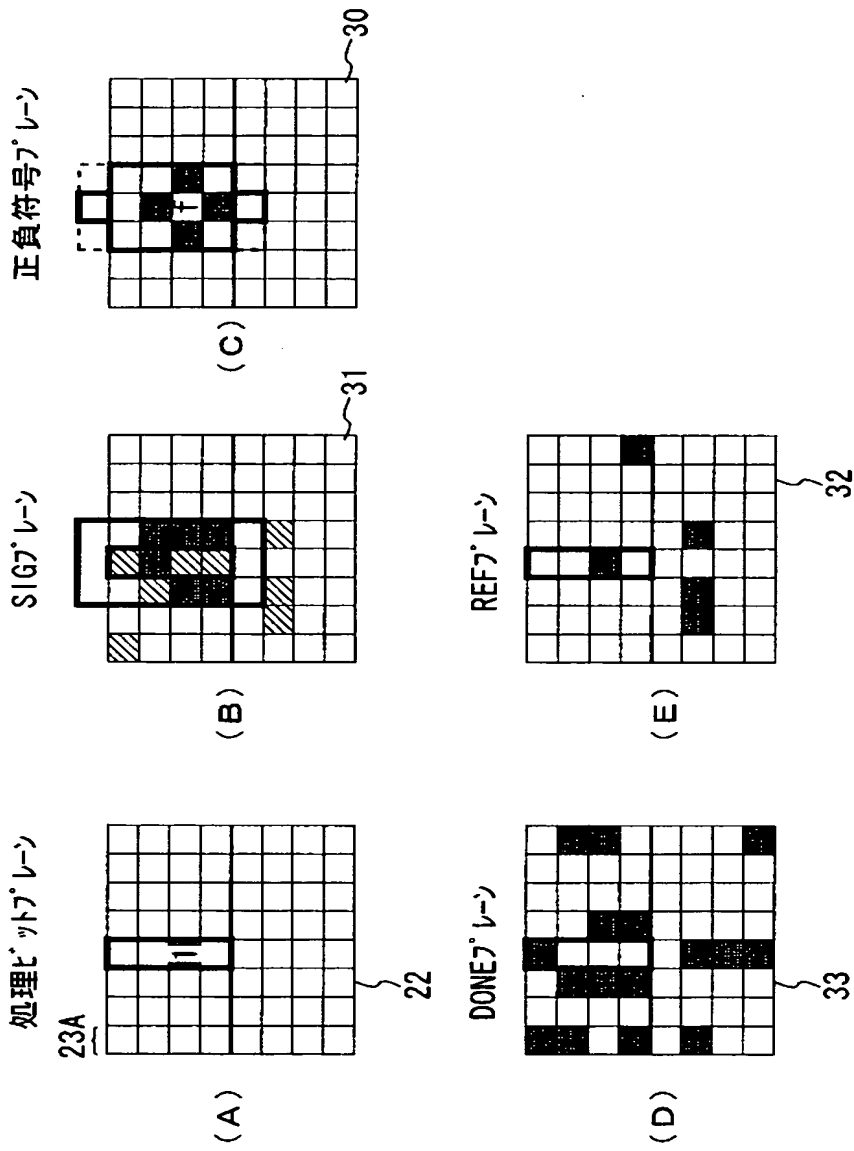


図 22 本実施の形態によるビットプレーンアクセス

【図 23】

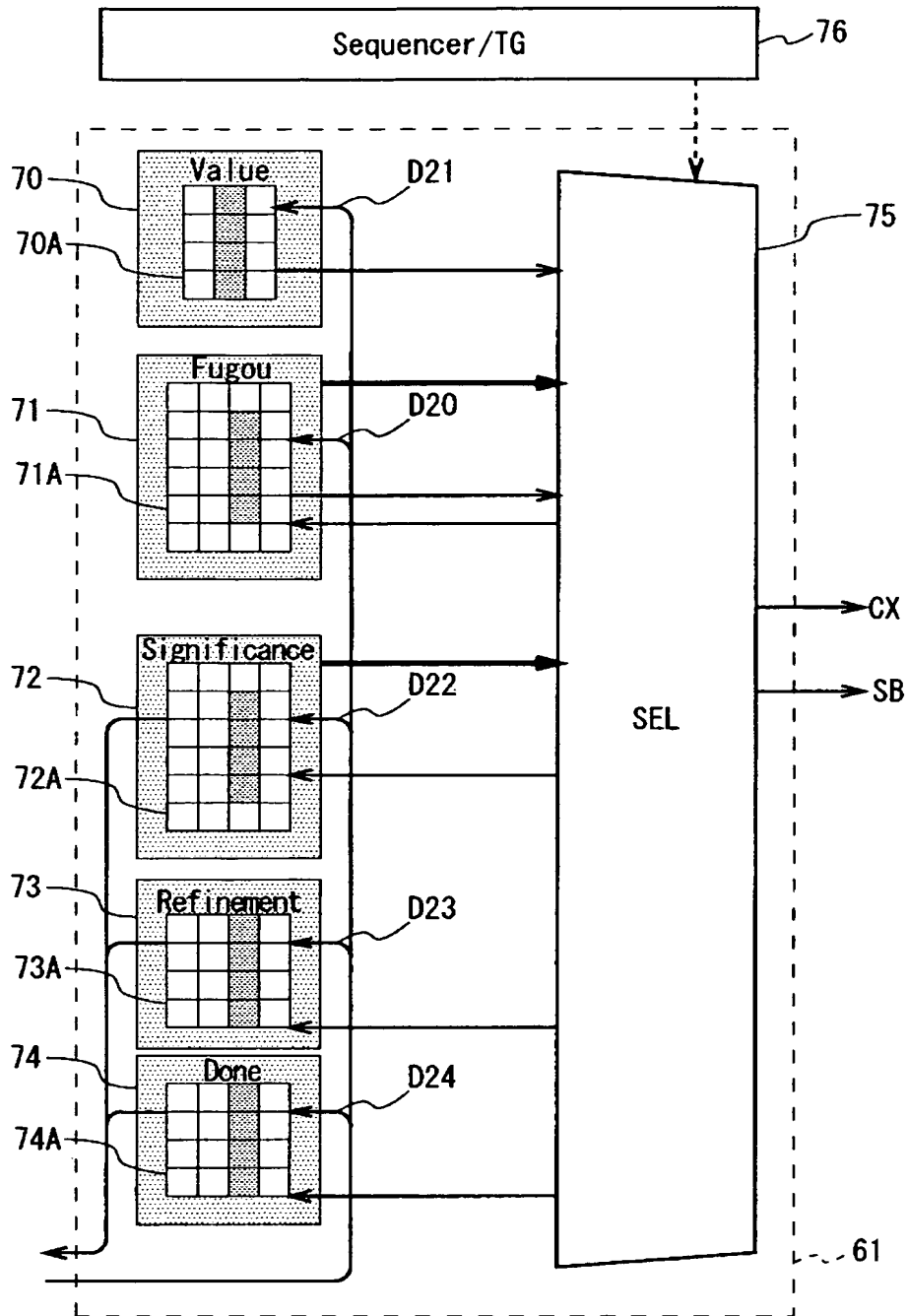


図 23 SPパス符号化処理部の構成

【図 24】

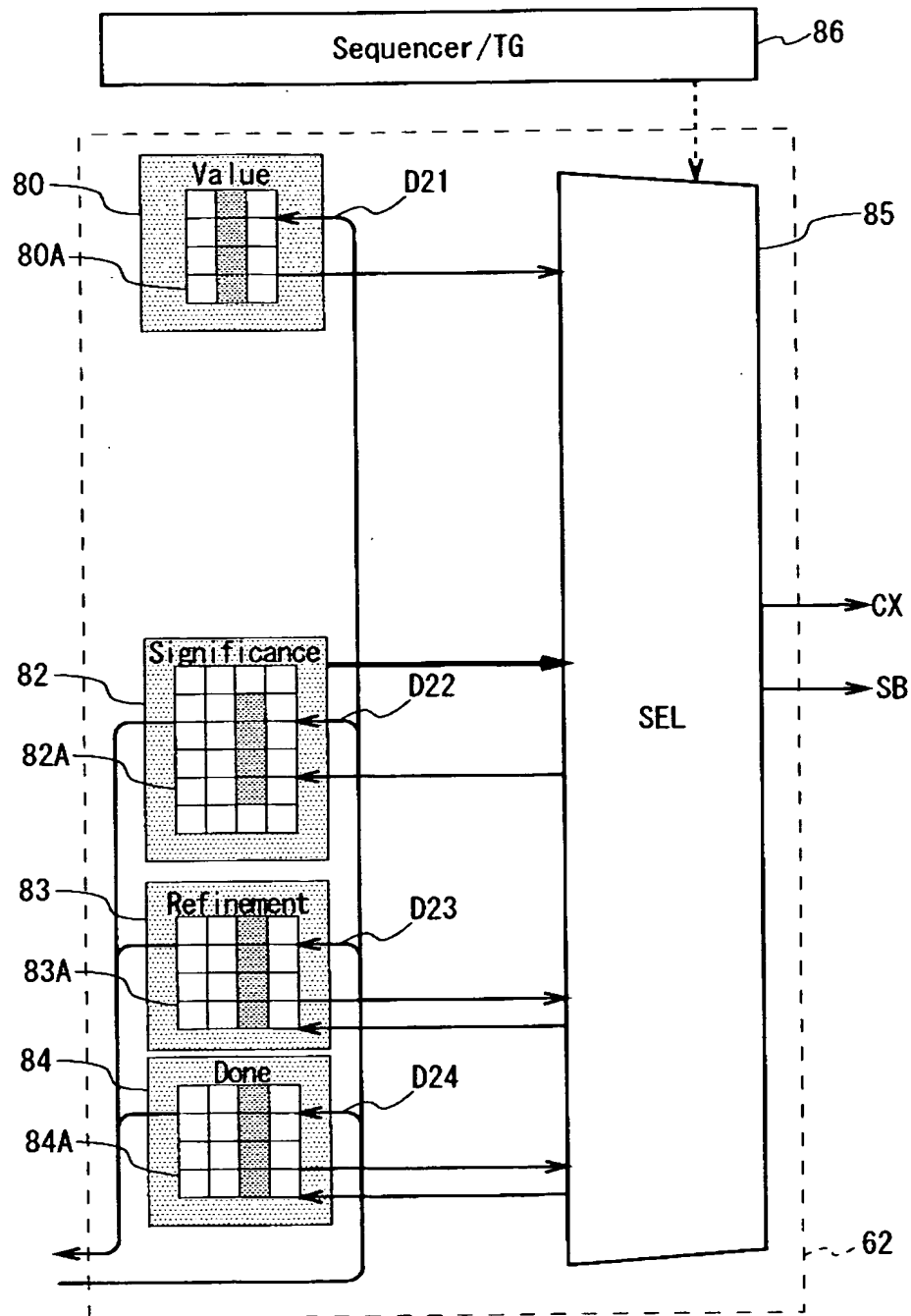


図 24 MRパス符号化処理部の構成

【図 25】

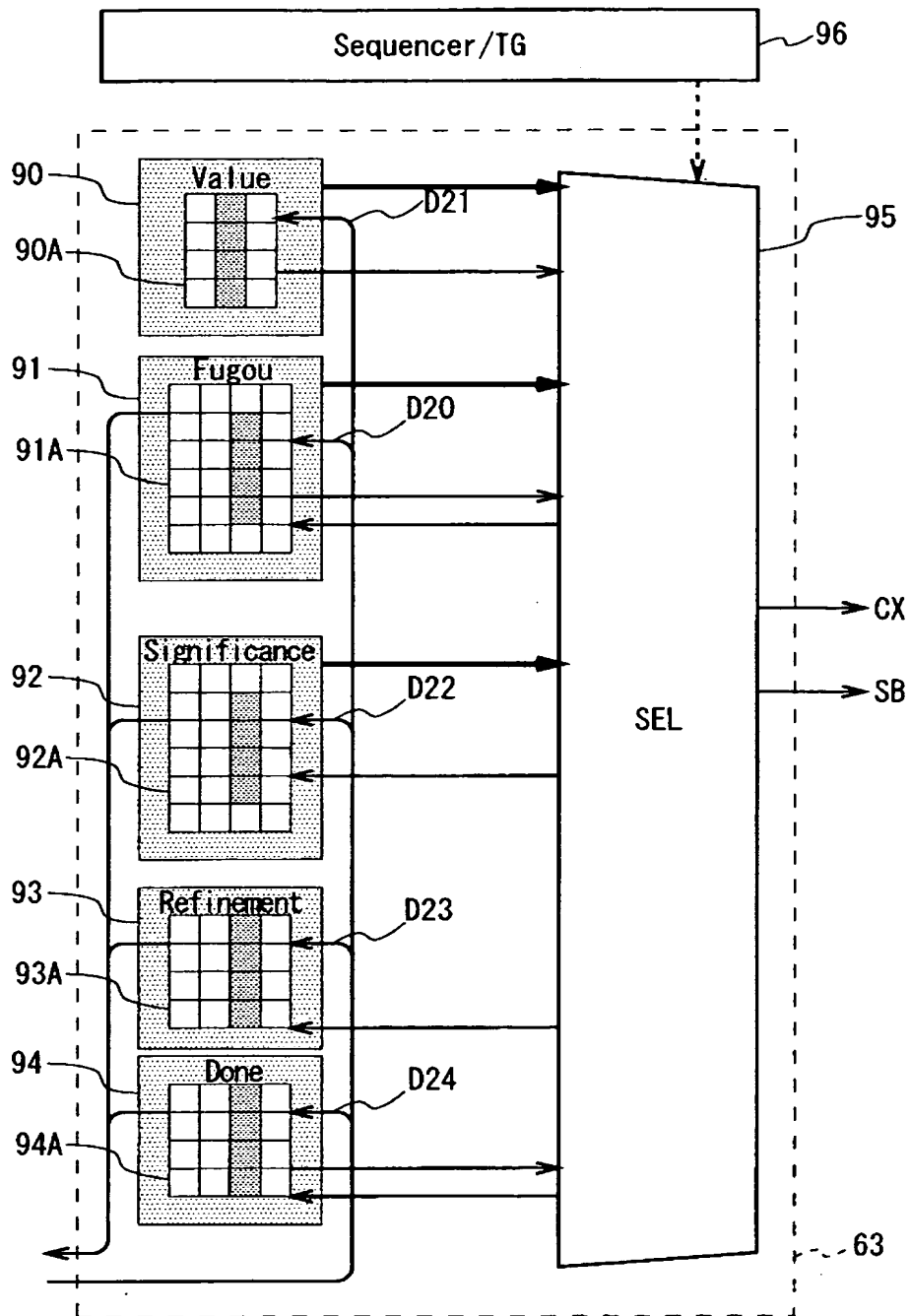


図 25 CUパス符号化処理部の構成

【図 26】

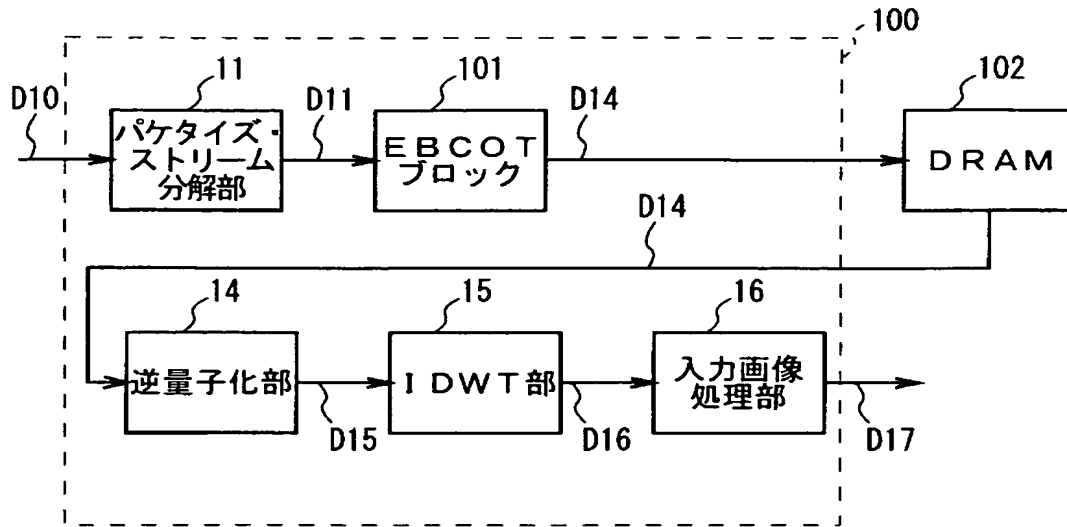


図 26 第 1 の実施の形態による J P E G 2 0 0 0
復号化装置の構成

【図 28】

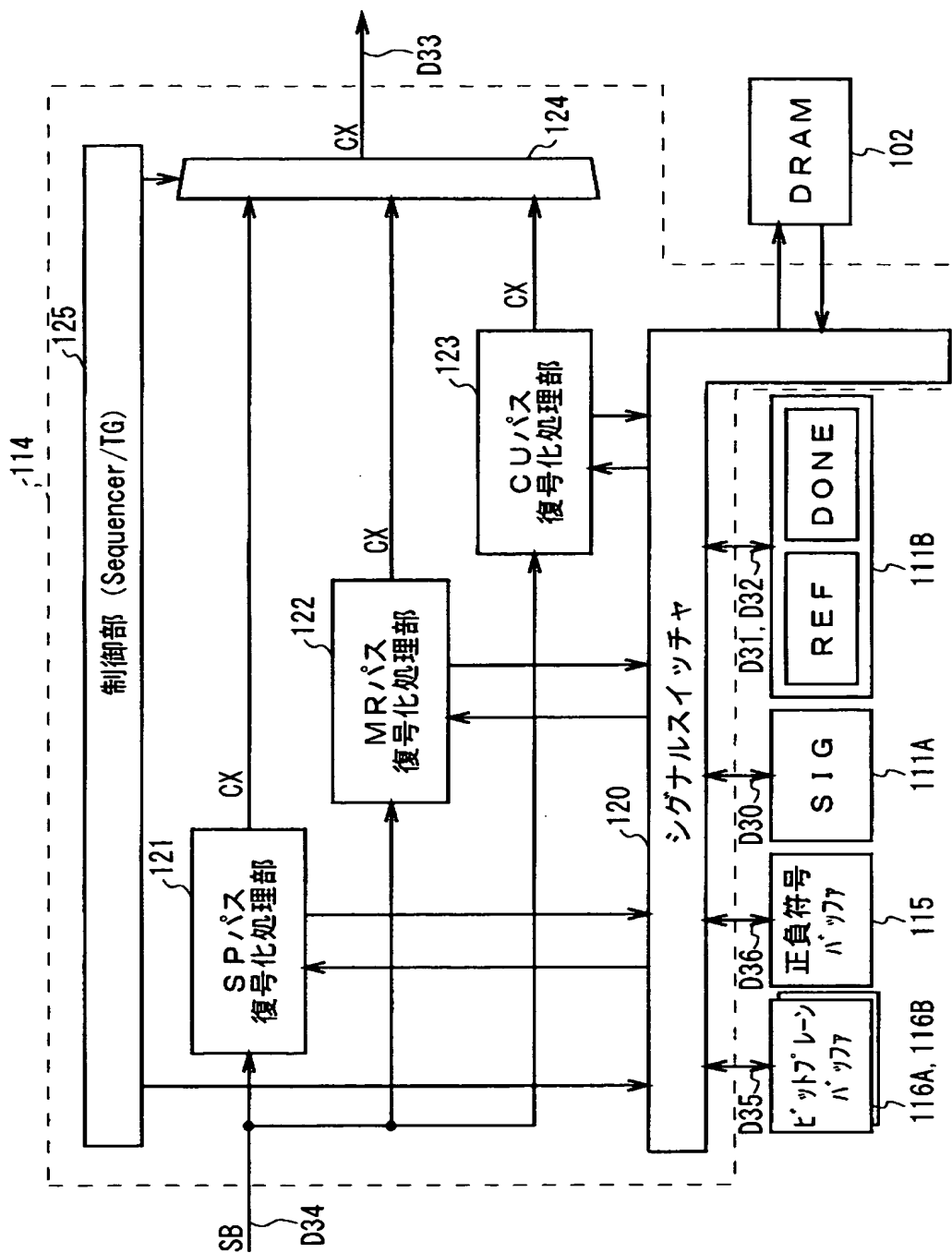


図 28 ビットモデル部の構成

【図 29】

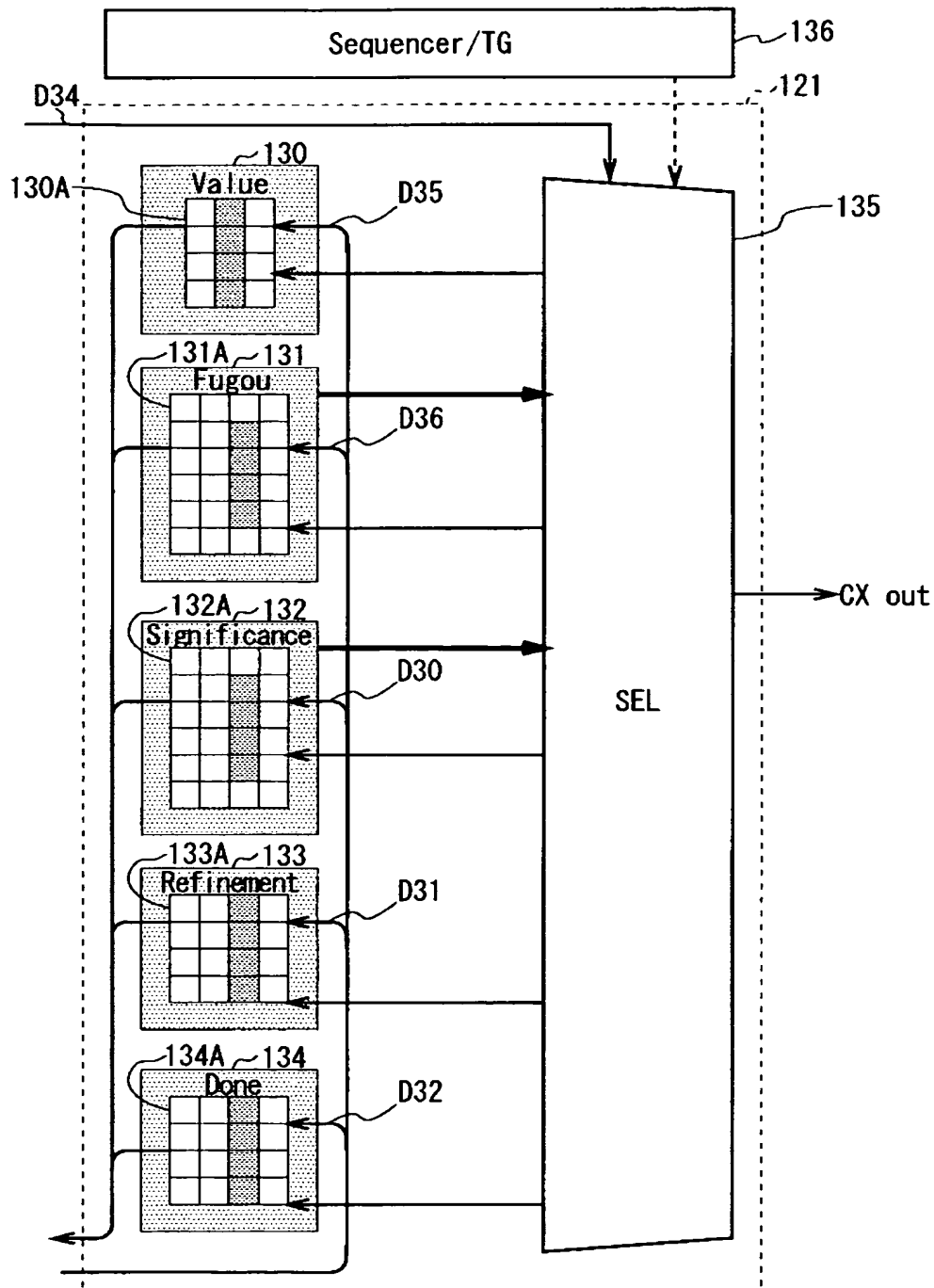


図 29 SPパス復号化処理部の構成

【図 30】

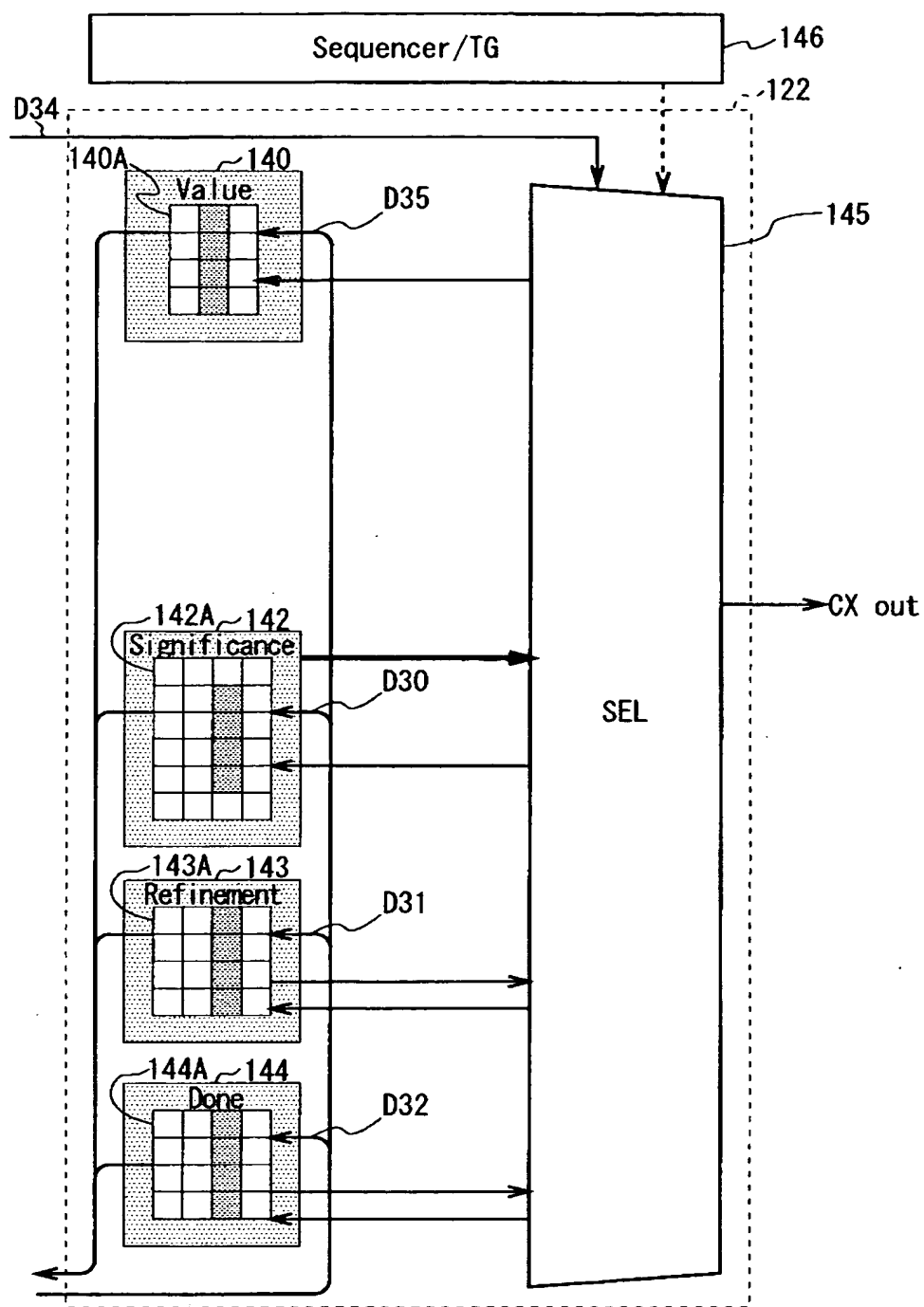


図 30 MRパス復号化処理部の構成

【図 3 1】

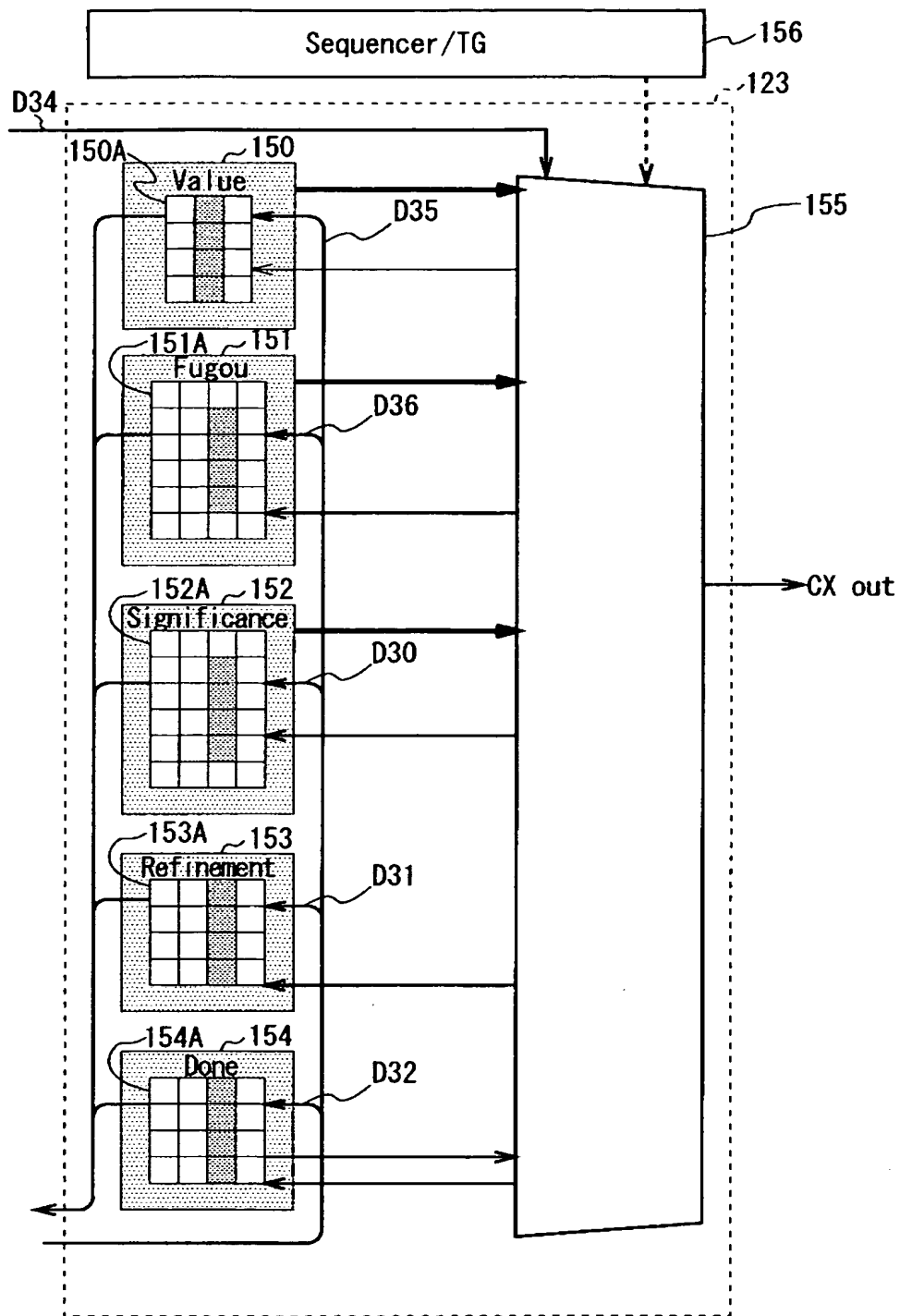


図 3 1 CUパス復号化処理部の構成

【図 3 2】

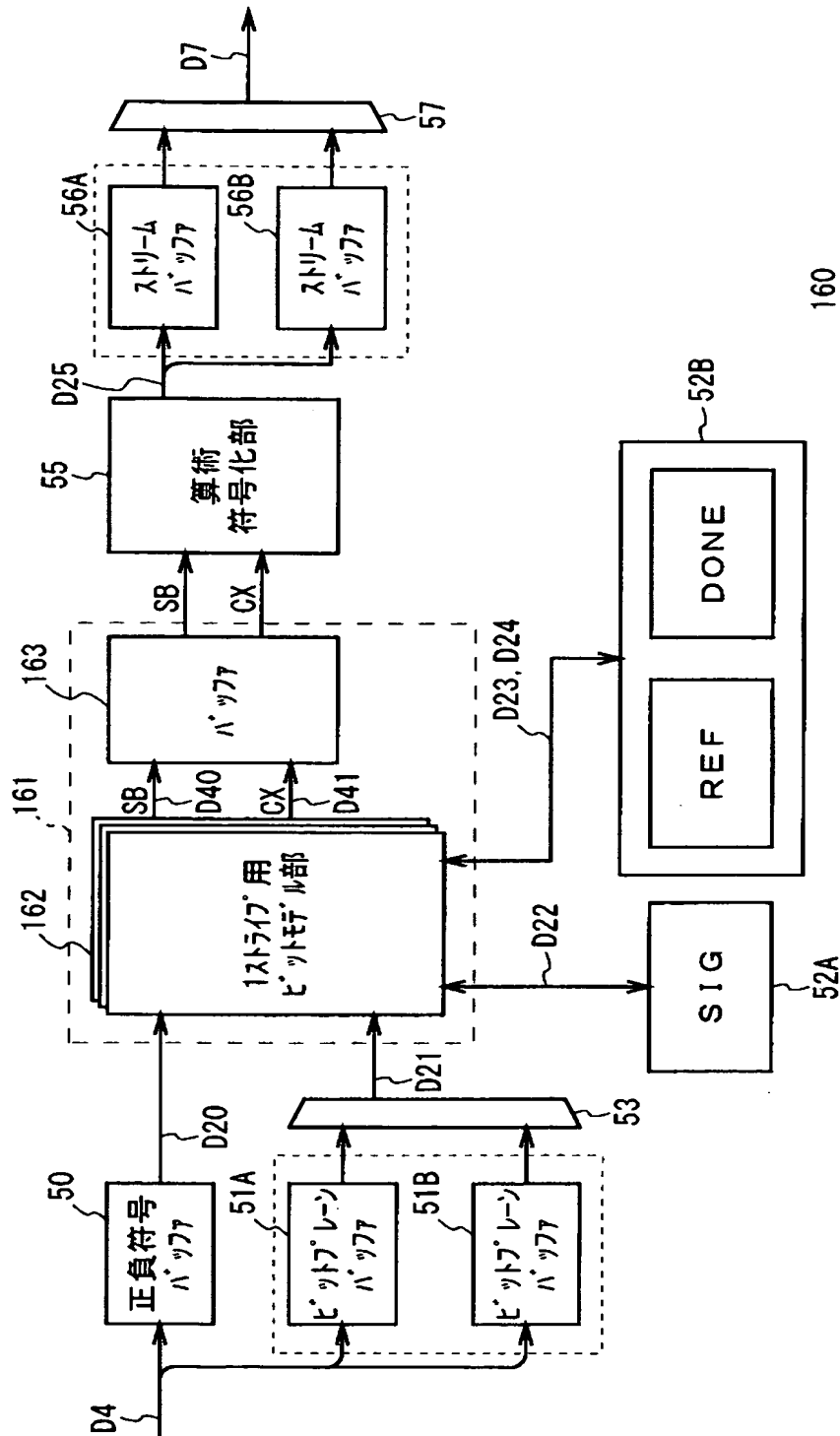


図 3 2 第 2 の実施の形態による符号化装置の EBCOT ブロックの構成

【図 33】

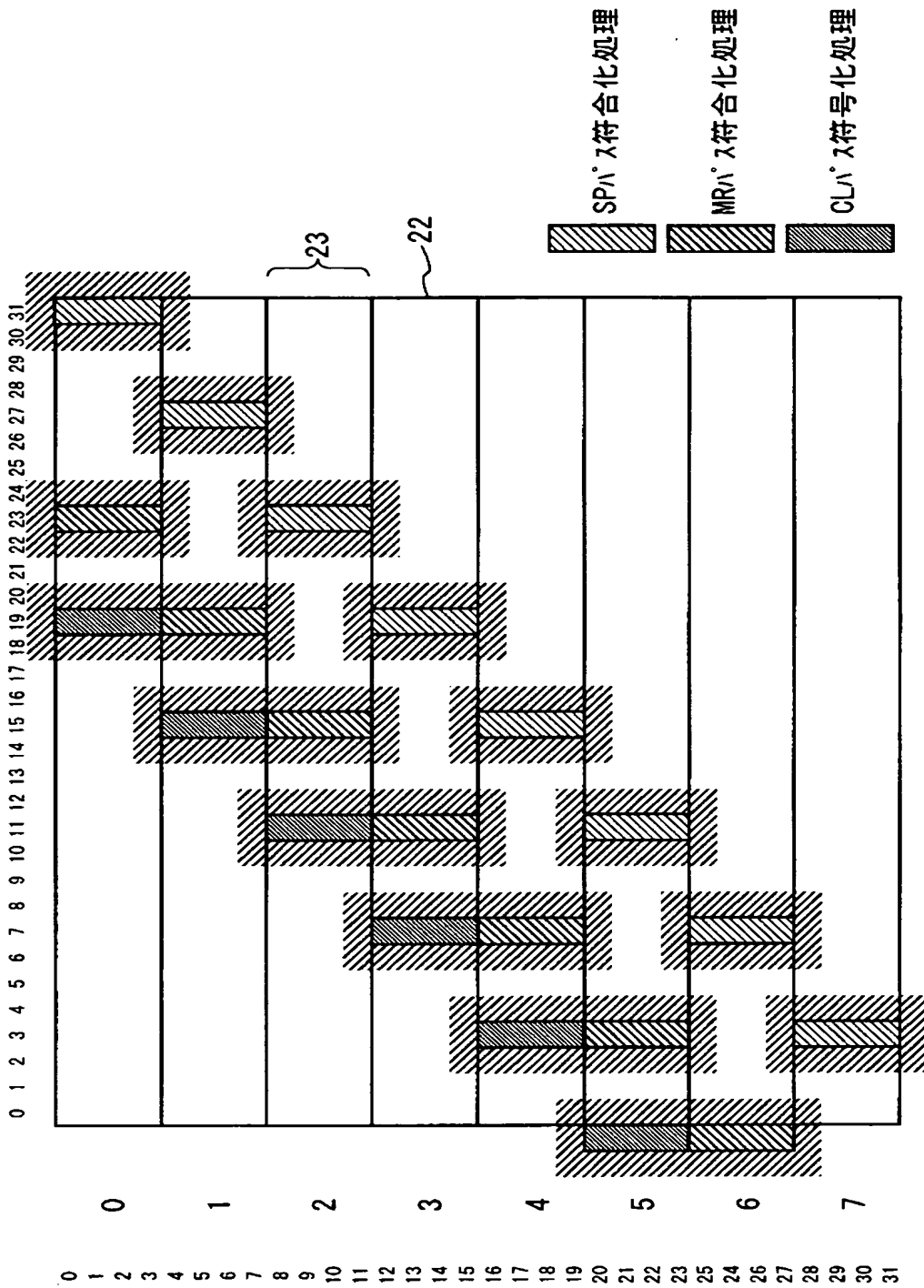


図 33 各エンコーディングガスの位相差

【図 34】

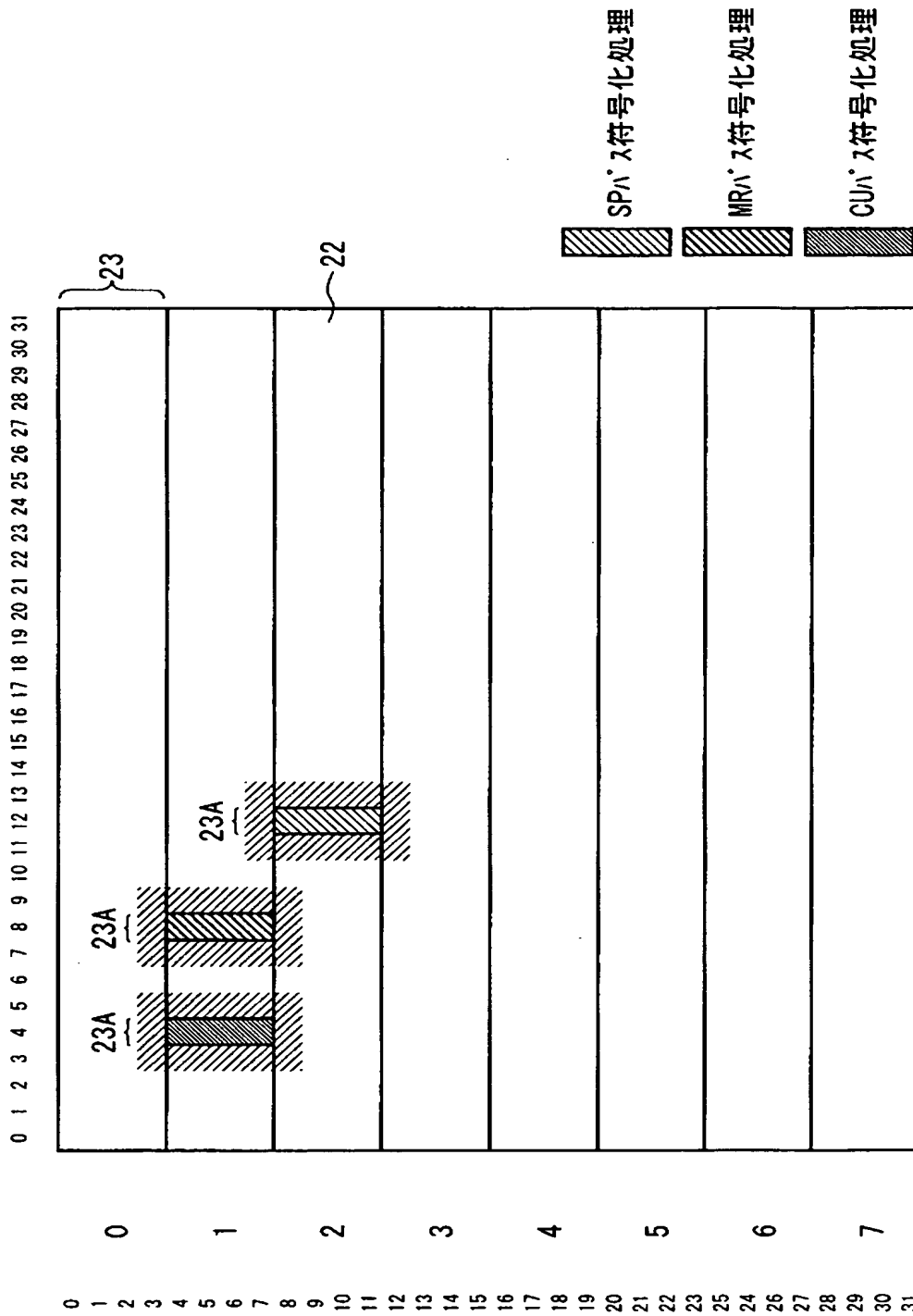


図 34 他の実施の形態 (1)

【図 3 5】

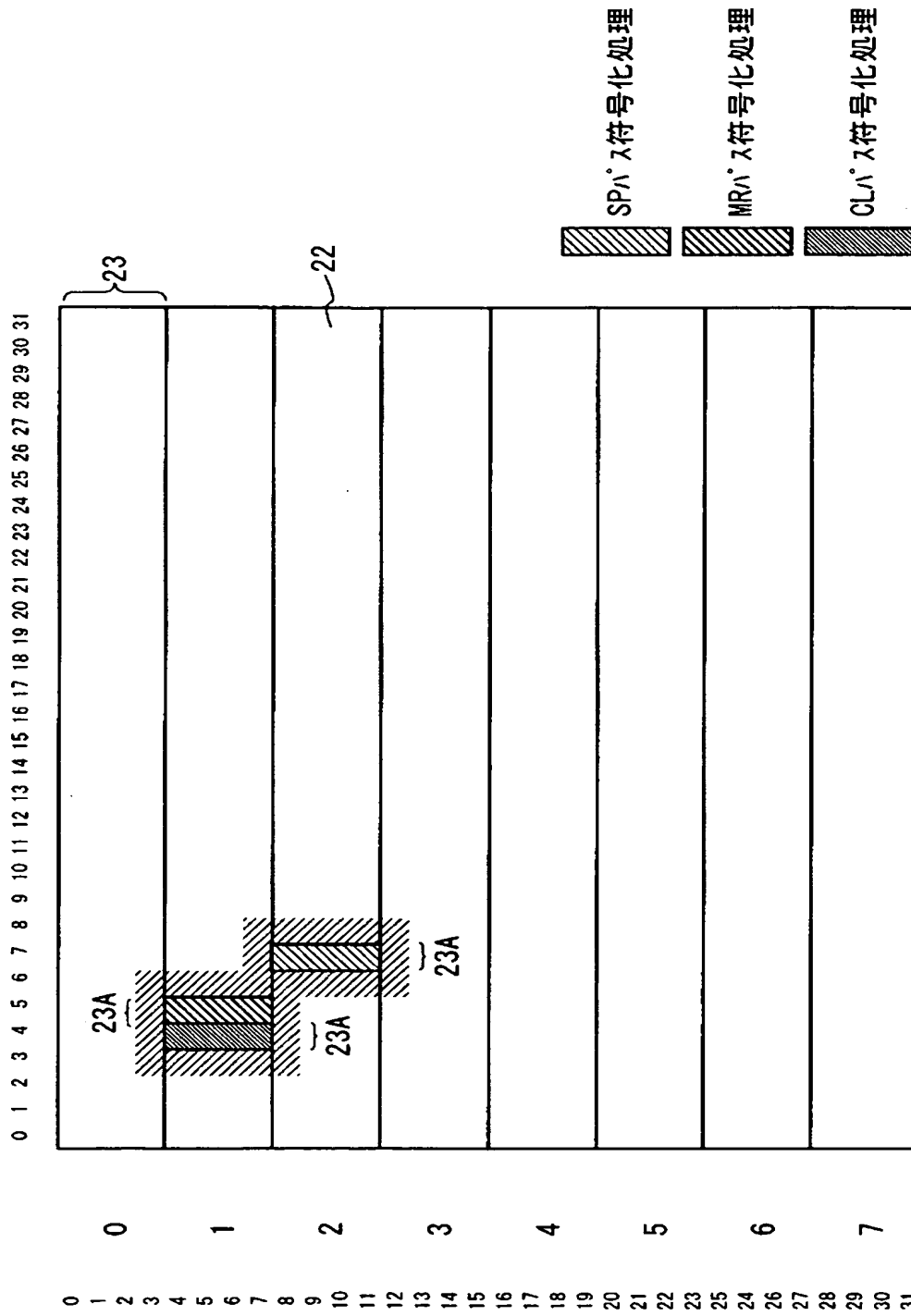


図 3 5 他の実施の形態 (2)

【図 36】

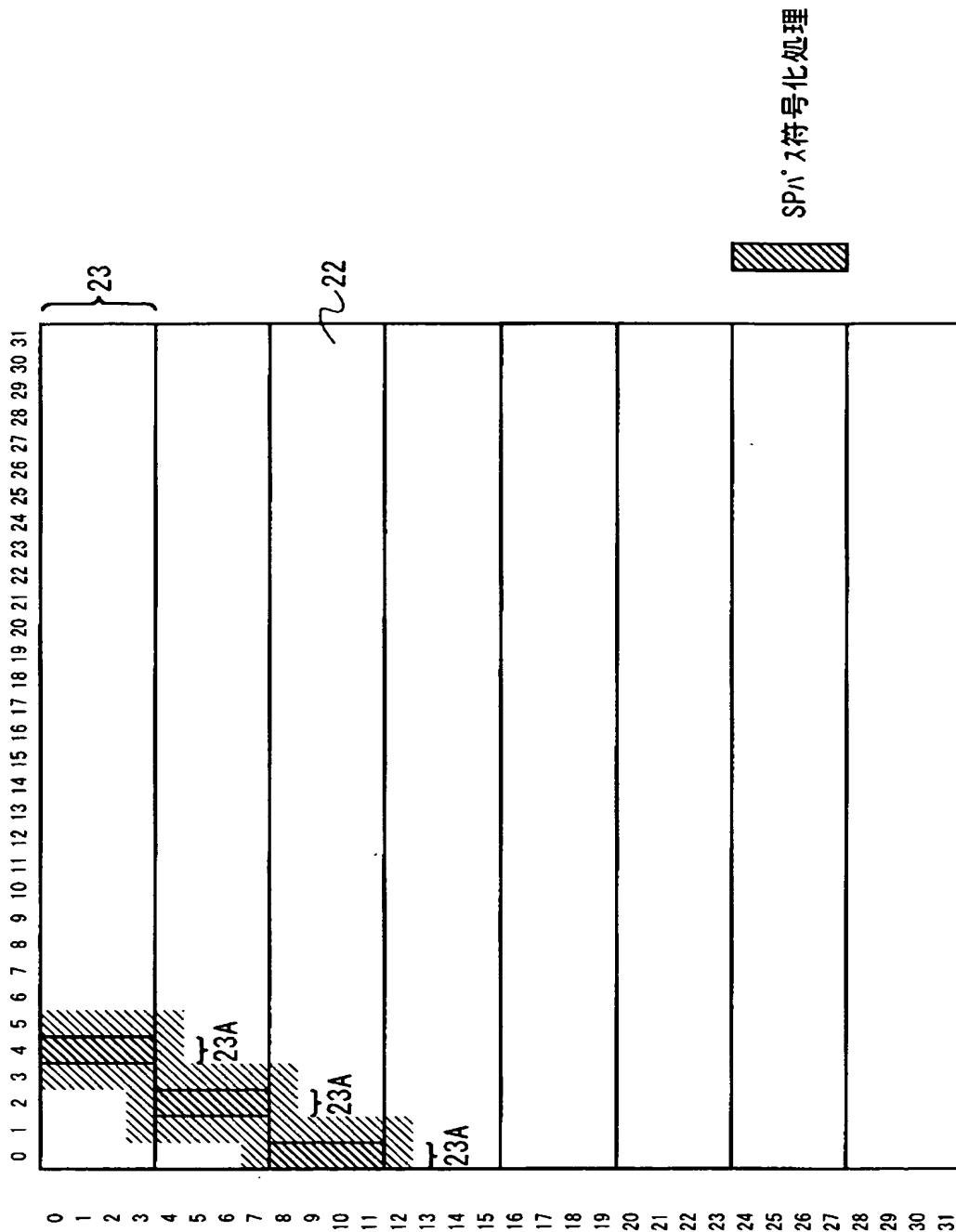


図 36 他の実施の形態 (3)

【図 37】

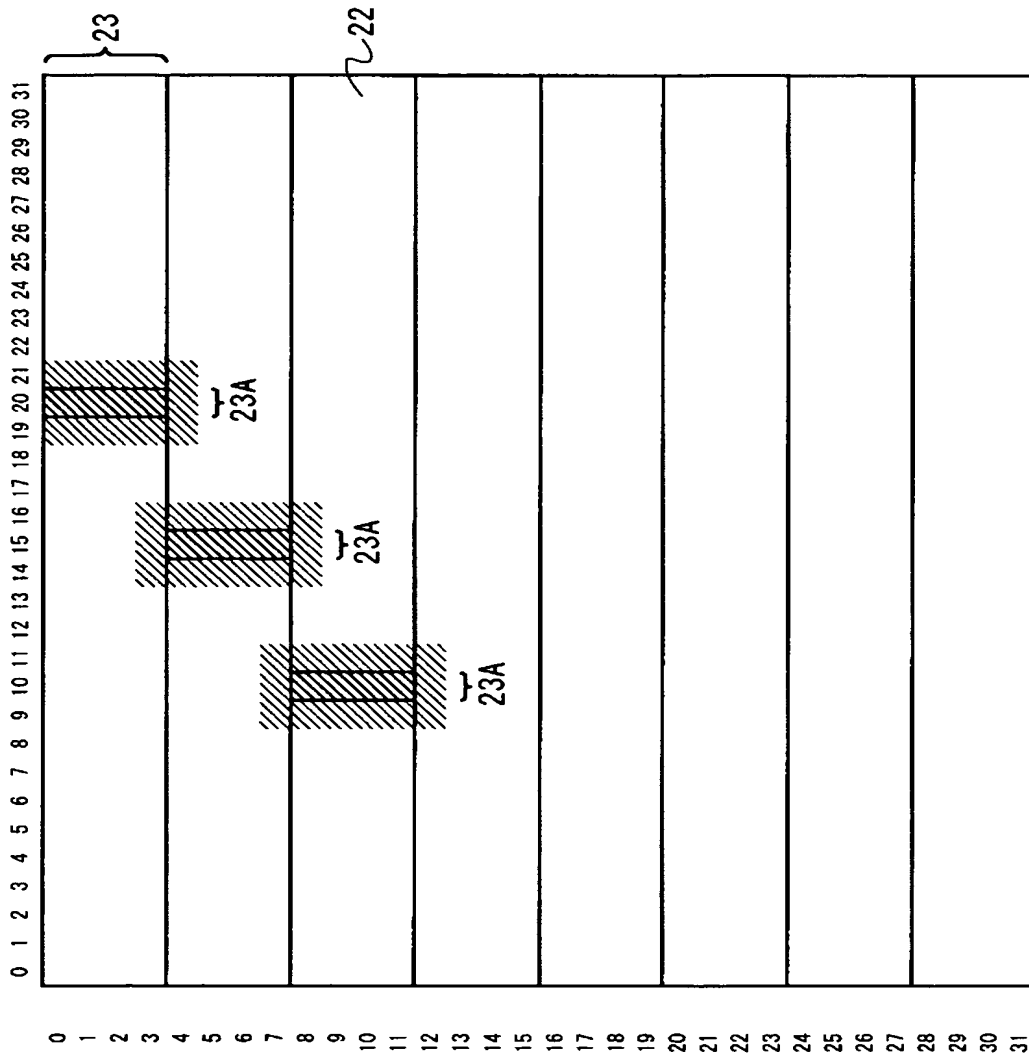


図 37 他の実施の形態 (4)

【図 38】

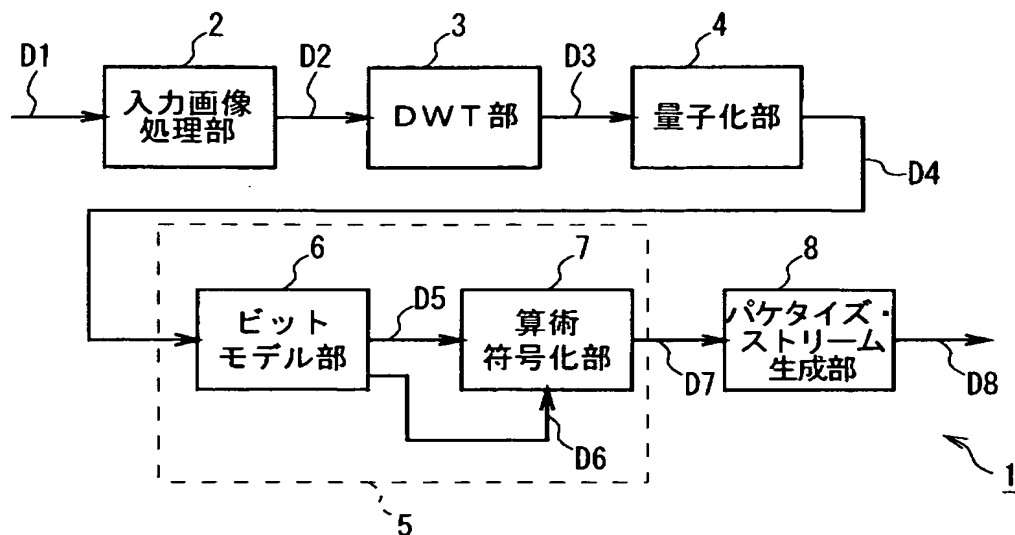


図 38 従来の JPEG2000 符号化装置の構成

【図 39】

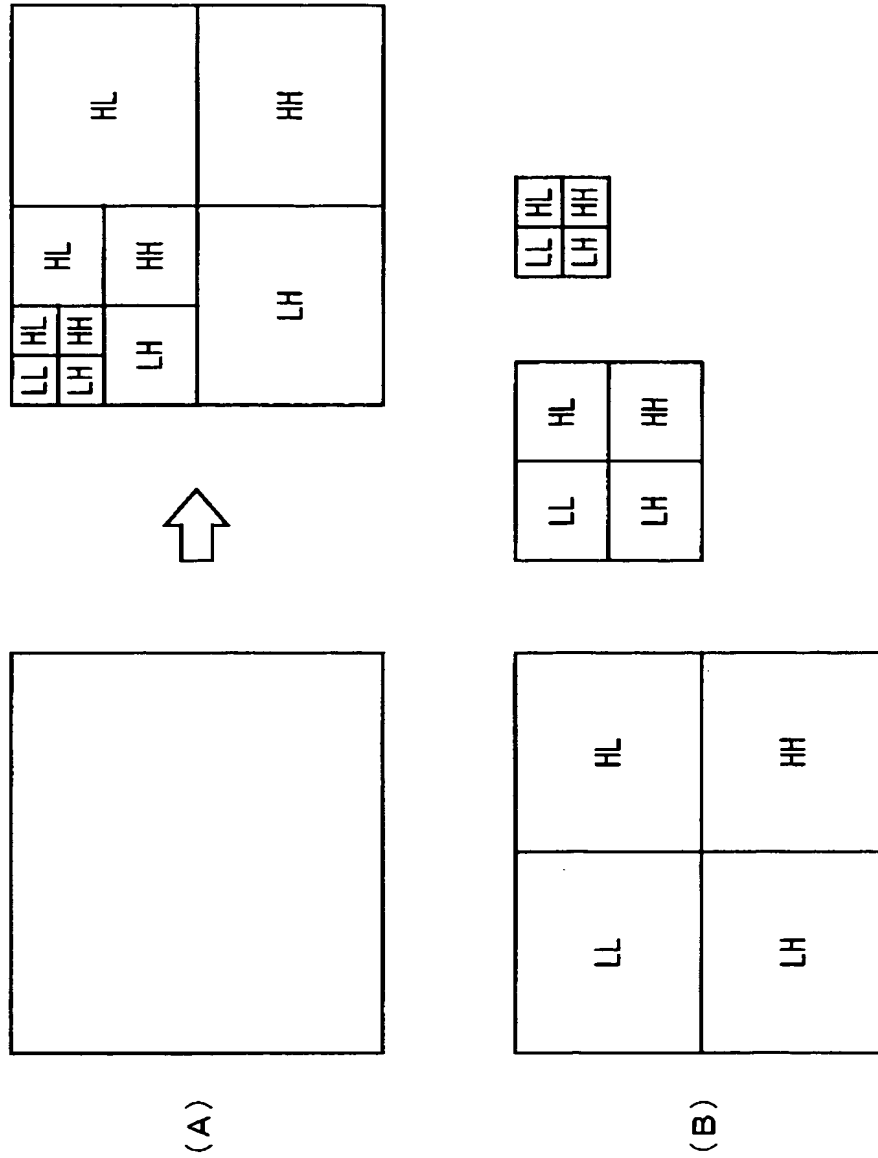


図 39 画像の帯域分割

【図 40】

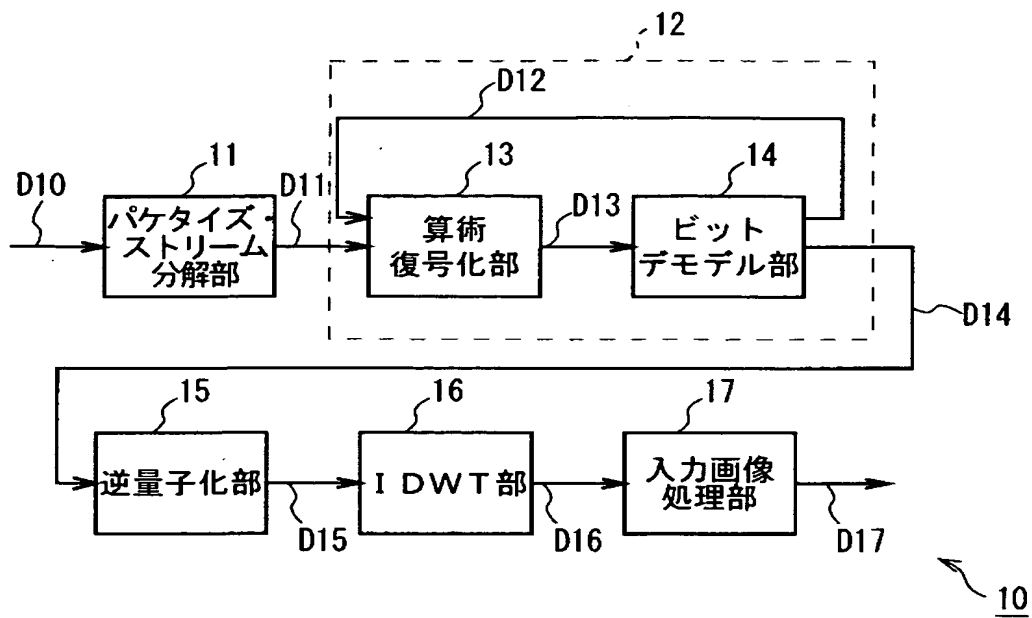


図 40 従来の J P E G 2 0 0 0 復号化装置の構成

【書類名】 要約書

【要約】

【課題】

符号化処理及び又は復号化処理を高速化させ得る符号化装置及び方法、復号化装置及び方法並びに画像情報処理システム及び方法を提案する。

【解決手段】

符号化手段又は復号化手段が画像情報に対して符号化処理又は復号化処理を施す際にその処理状況に応じて順次更新しながら用いる所定の状態量を表す状態量情報を記憶する第 1 の記憶手段を設け、符号化手段又は復号化手段が、当該状態量情報のうちの必要な一部のみを第 1 の記憶手段から読み出し、当該状態量情報を画像情報に対する符号化処理又は復号化処理の処理状況に応じて変更した後、第 1 の記憶手段に書き戻すようにした。また、画像情報に対する複数種類の符号化処理を、各符号化処理の処理内容に応じた所定の第 1 の位相差をもって並行して行うようにした。

【選択図】 図 2 1

特願 2 0 0 3 - 1 3 0 7 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社